



Устройства сбора данных

L-791

Руководство пользователя Низкоуровневое описание

Плата АЦП общего назначения (многоканальная)

Цифровой ввод-вывод, ЦАП (опция)

PCI интерфейс

Октябрь 2022 г.
Версия 1.31

ООО "Л КАРД"

117105, г. Москва, Варшавское ш., д. 5, корп. 4, стр. 2

тел.: (495) 785-95-25 факс: (495) 785-95-14

Адреса в Интернет:

<http://www.lcard.ru>

E-Mail:

Отдел продаж: sale@lcard.ru

Техническая поддержка: support@lcard.ru

Отдел кадров: job@lcard.ru

Общие вопросы: lcard@lcard.ru

Отдел производства: pro@lcard.ru

Ресурсы техподдержки в Интернет:

Выбор оборудования: http://www.lcard.ru/products/hardware_choice

Форум технической поддержки: <http://www.lcard.ru/forums/viewforum.php?id=1>

Форум выбора оборудования: <http://www.lcard.ru/forums/viewforum.php?id=2>

FAQ (вопросы и ответы): <http://www.lcard.ru/support/download>

Терминология: <http://www.lcard.ru/lexicon>

Статьи: <http://www.lcard.ru/articles>

Выбор датчиков: http://www.lcard.ru/info/sensors_vendors

L-791. Плата АЦП/ЦАП/ТТЛ общего назначения на шину **PCI**.

© Copyright 1989–2022, **ООО "Л Кард"**. Все права защищены.

1. Общее знакомство

Настоящий документ описывает электрические и интерфейсные свойства аппаратного устройства *L-791*, разъясняет принципы его функционирования и варианты использования, содержит характеристики и комплектность программного обеспечения.

Глава 1 объясняет основное назначение и комплектацию устройства.

Глава 2 дает необходимые сведения об установке платы *L-791*.

Глава 3 объясняет внутреннее устройство платы *L-791*.

В главе 4 приведены описания разъемов платы и принципы подключения сигналов.

Глава 5 является важным дополнением для понимания сведений, изложенных в «Руководстве программиста». Как правило, штатное программное обеспечение позволяет решить большой круг задач (см. «Руководство программиста» [1]). Для тех, кто собирается самостоятельно программировать плату *L-791*, необходимо ознакомиться с гл. 5. Также глава 5 будет полезна тем, кто хочет детально понять все процессы, происходящие во время работы устройства.

Предлагается следующий порядок чтения «Руководства пользователя». Для ознакомления с возможностями и принципом работы платы сначала читаются главы 1 и 3. Затем *L-791* устанавливается в компьютер с соблюдением инструкций из главы 2. После чего подключаются внешние цепи в соответствии с рекомендациями из главы 4.

1.1. Соглашения, принятые в руководстве

- **жирное выделение** означает важное понятие либо содержит предупреждение;
- *курсив* служит для обозначения терминов, имен переменных, перекрестных ссылок либо содержит определение ключевых моментов, важных для понимания.

1.2. Назначение устройства

Плата *L-791* предназначена для построения многоканальных измерительных систем и сбора аналоговых данных, а также цифрового управления и контроля состояния внешних устройств.

Концептуально *L-791* – это PCI Bus Master устройство, которое не только собрало в себе свойства плат *L-780* и *L-761*, но и получило новые функциональные возможности.

Базовые функции *L-791*:

- *многоканальное АЦП с мультиплексированием каналов;*
- *цифровой асинхронный ввод-вывод и синхронный ввод.*

Опциональные функции:

- *двухканальный ЦАП с синхронным и асинхронным режимами работы.*

Многоканальное 14-ти разрядное АЦП платы *L-791* позволяет работать с 16-ю дифференциальными или 32-мя каналами с общей землей. Каждый из аналоговых каналов подключается к АЦП через *усилитель с управляемым коэффициентом передачи*, позволяющий задавать один из восьми диапазонов измерения напряжения. Плата *L-791* обеспечивает *непрерывный сбор данных* на частотах дискретизации АЦП от 0,005 Гц до 400,0 кГц. Наличие специального входа синхронизации позволяет аппаратно синхронизировать моменты старта АЦП.

Цифровой ввод-вывод представлен в виде 16 входных и 16 выходных цифровых ТТЛ-совместимых линий. Цифровые выходы по желанию пользователя могут быть переведены в третье состояние. Цифровые входы имеют *резисторные подтяжки* к высокому логическому уровню, что, в частности, позволяет подключать по схеме *сухой контакт*.

Двухканальный 12-ти разрядный ЦАП позволяет выставлять напряжение управления на два независимых канала.

В отличие от плат серии L-78x, L-791 не имеет сигнального процессора (DSP). Коррекция данных, в соответствии с калибровочными коэффициентами, происходит в РС, что оправдано для современных быстродействующих процессоров.

Важное отличие от плат серии L-78x – это наличие в L-791 гальваноизоляции всех входных сигнальных цепей на внешних разъёмах от корпуса компьютера.

Перечень функциональных возможностей приведен в главе 3.

1.3. Комплектация изделия

1.3.1. Базовый комплект

В стандартную комплектацию изделия входят:

1. Плата L-791 без ЦАП.
2. Ответная часть разъема для подключения аналоговых сигналов.
3. Упаковочная коробка.
4. Штатное программное обеспечение (CD-ROM).
5. L-791. Руководство пользователя.

1.3.2. Опциональное и дополнительное оборудование

Дополнительно можно заказать:

1. Установку на плату двухканального ЦАП.
2. Кабель цифровых сигналов АС-7хх. Предназначен для вывода сигналов от разъёма Digital I/O на заднюю панель РС.
3. 37-контактную плату клеммников DB-37F-increaser. Плата позволяет быстро и без использования паяльника коммутировать внешние сигналы к разъемам платы L-791. Допустимое сечение проводов – до 0,75 мм. На плате клеммников имеются отверстия для механического крепления жгутов. Плату клеммников следует применять только при предварительных настройках системы и опытных подключениях. Штатная работа оборудования с заявленными метрологическими характеристиками требует производить подключение внешних проводов сигнальных цепей путем их *распайки* на кабельные части разъемов.

1.4. Штатное программное обеспечение

На сегодняшний день фирма **ЗАО «Л-Кард»** предоставляет конечному пользователю библиотеку *LComp* для работы с платой *L-791* в операционных средах *Windows '98/2000/XP/Vista*.

Даная библиотека предоставляется в виде инсталляционной программы *LComp.exe*, которая располагается на фирменном CD-ROM'е в директории *\DLL\LComp*. Эту же библиотеку можно также скачать с нашего сайта www.lcard.ru из раздела "[Библиотека файлов](#)". Там в подразделе "[Штатные драйвера и библиотеки для Microsoft Windows](#)" следует выбрать самораспаковывающийся архив *lcomp.exe*.

1.5. Дополнительное программное обеспечение

1. **L-Graph II** – многоканальный многофункциональный регистратор данных с нескольких устройств сбора данных производства *L-Card*. **L-Graph II** распространяется на бесплатной основе. Подробности читайте на сайте www.lcard.ru
2. Бесплатная программная поддержка платы *L-791* осуществлена в законченном программном продукте **L-Graph I**. Он предназначен для решения ряда общих задач сбора, сохранения и визуализации полученной аналоговой информации. *Windows '98/2000/XP/Vista*. **L-Graph I** входит в состав дистрибутива библиотеки *Lcomp*, которая устанавливается посредством программы *DLL\Lcomp\Lcomp.exe* с прилагаемого к плате фирменного CD-ROM. Также дистрибутив *Lcomp* можно скачать с нашего сайта www.lcard.ru из раздела "[Библиотека файлов](#)". Там из подраздела "[Штатные драйвера и библиотеки для Microsoft Windows](#)" следует выбрать дистрибутив *lcomp.exe*. Программа **L-Graph I** работает с платой *L-791* как в 16-ти канальном дифференциальном, так и в 32^x канальном с общей землёй режиме подключения входных сигналов. Она позволяет, в частности, осуществлять непрерывную регистрацию аналоговой информации в реальном масштабе времени, при этом время ввода ограничено только ёмкостью Вашего диска. Кратко говоря, программа **L-Graph I** реализует:
 - ✓ 4-х канальный осциллоскоп;
 - ✓ 4-х канальный спектроскоп;
 - ✓ многоканальный сбор данных в файл (до 32-х каналов);
 - ✓ визуализация полученных данных (до 32-х каналов).
3. Бесплатную поддержку платы *L-791* осуществляет такой законченный программный продукт как **L-Graph II**. Эта программа является более продвинутой версией **L-Graph I**. Например, она предоставляет пользователю возможность *одновременной* визуализации и регистрации данных с АЦП. Программа **L-Graph II** предназначена для работы под *Windows'XP*. **L-Graph II** можно установить посредством программы *LGraph2\setup.exe* с прилагаемого к плате фирменного CD-ROM. Также дистрибутив **L-Graph II** можно скачать с нашего сайта www.lcard.ru из раздела "[Библиотека файлов](#)". Там из подраздела "[Законченное ПО](#)" следует выбрать дистрибутив *lgraph2.zip*.
4. Коммерческая программа многоканального самописца-регистратора **PowerGraph** (есть демоверсия программы). Программа предназначена для регистрации, обработки и хранения аналоговых сигналов и позволяет использовать персональный компьютер в качестве ленточного самописца. *Windows'98/2000/XP/Vista*. Разработка, поставка и техническая поддержка – ООО «Интероптика-С», www.powergraph.ru. В состав поставляемого с платой *L-791* штатного комплекта ПО входит демонстрационная версия **PowerGraph** (см. директорию *\P_graph* на нашем фирменном CD-ROM).

5. Коммерческий комплекс автоматизации экспериментальных и технологических установок **ACTest**. Данный комплекс предназначен для визуализации, регистрации, архивации и обработки данных в реальном времени. *Windows'98/2000/XP*. Разработка, поставка и техническая поддержка – **ООО "Лаборатория автоматизированных систем"**, www.actech.ru. Комплекс **ACTest** не входит в состав поставляемого с платой *L-791* штатного ПО.

2. Инсталляция и настройка

2.1. Требования к РС

Плата *L-791* занимает следующие ресурсы РС:

- В пространстве ОЗУ РС – 1 непрерывная область 4 Кбайта.
- Прерывания – одно прерывание.

L-791 не использует пространство ввода/вывода РС.

L-791 полностью поддерживает протокол PCI ver. 2.1 (см. **PCI Local Bus Specification Revision 2.1**). Назначение ресурсов происходит автоматически при включении питания РС.

Кроме того, для работы платы в режиме Bus Master выделяется от 8 Кбайт до 1 Мбайт памяти РС. Эта память используется для создания циклических буферов ЦАП и АЦП. Минимальный размер буфера АЦП и буфера ЦАП в памяти РС – 4 Кбайта, максимальный – 512 Кбайт.

Необходимо также учитывать, что каждая плата *L-791* при максимальной частоте работы АЦП и ЦАП создает поток данных на шине PCI в среднем 2,4 Мбайт/с. Однако пиковые значения могут достигать (особенно при максимальной загрузке шины PCI) 8,4 Мбайт/с.

Операция коррекции данных в соответствии с калибровочными коэффициентами требует относительно небольшой вычислительный ресурс компьютера.

2.2. Порядок установки платы в компьютер и первого включения

1. Проверьте упаковку и компоненты на отсутствие механических повреждений.
2. Установите необходимые джамперы согласно 2.4.
3. Выключите питание компьютера, если он был включен. Необходимо учитывать, что компьютер должен быть полностью обесточен, для чего необходимо отключить питание выключателем, находящимся на блоке питания на задней панели компьютера. Если такого выключателя нет, необходимо отсоединить питающий кабель компьютера от сети.
4. Снимите крышку с компьютера в соответствии с его описанием.
5. Вывинтите крепежный винт заглушки одного из свободных PCI слотов внутри компьютера. Желательно, для уменьшения помех, выбирать PCI слот, наиболее удаленный от блока питания компьютера и от карты адаптера дисплея.
6. Установите плату в свободный PCI слот и закрепите ее винтом.
7. Закройте крышку компьютера.
8. Смонтируйте все цепи подключения внешних сигналов. При этом необходимо соблюдать требования и указания, приведенные в главе 4.
9. Включите питание компьютера.

2.3. Повторное включение компьютера

Вы можете воспользоваться обычной последовательностью включения и выключения вашего компьютера. Однако при возникновении внештатных ситуаций, сбоя компьютера или после обновления прошивки FPGA в *L-791* Вам следует выключить питание компьютера, как это указано в пункте 3 главы 2.2.

2.4. Конфигурация устройства

На Рис. 1 изображен вид платы L-791 и показано расположение только существенных для конфигурации и подключения элементов.

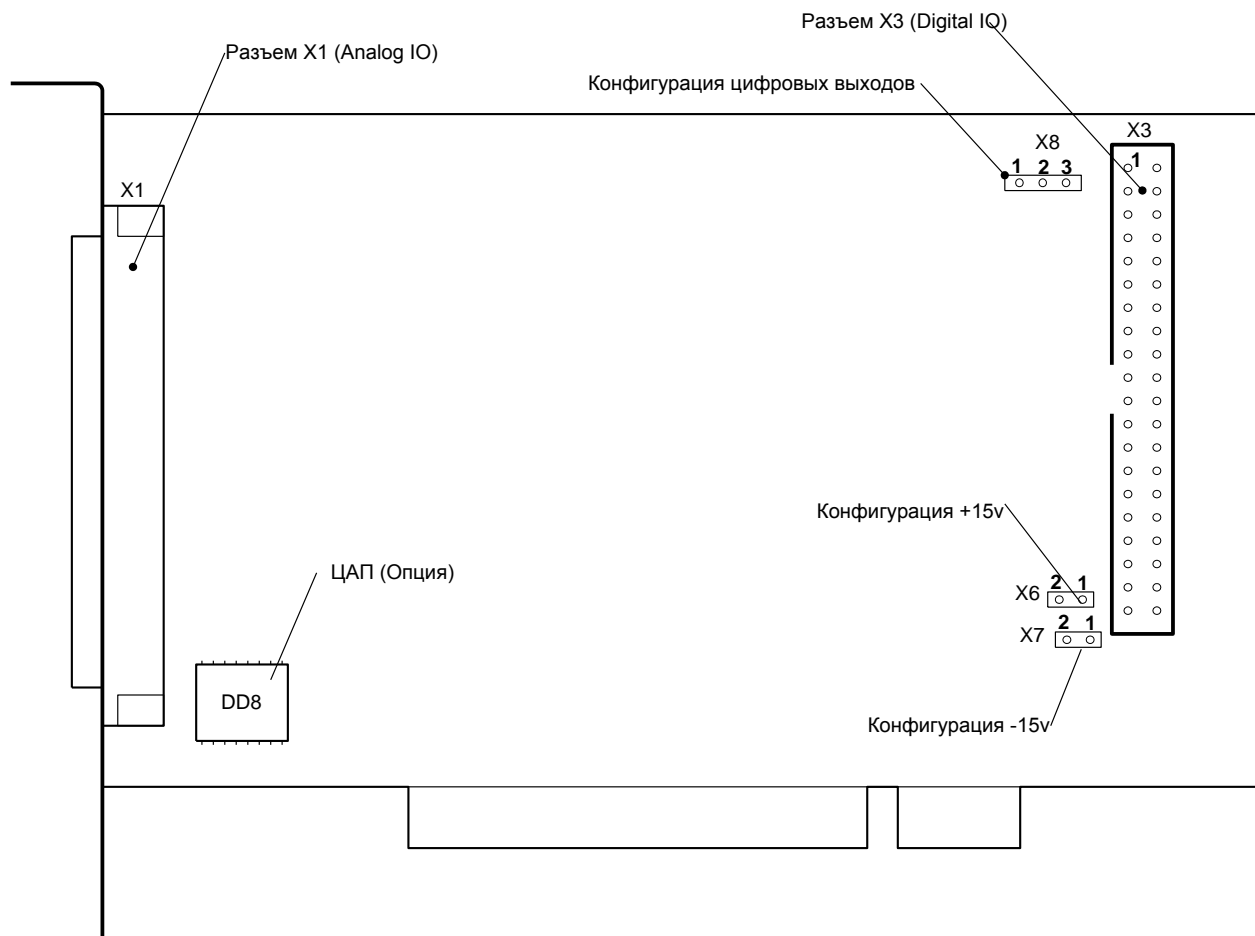


Рис. 1. Внешний вид платы L-791

- X1 – Разъем для подключения аналоговых цепей.
- X3 – Разъем для подключения цифровых сигналов. Цифровые сигналы выводятся на заднюю панель РС при помощи дополнительного шлейфа, приобретаемого отдельно.
- X6 – Необходимо замкнуть джампер для подключения питающего напряжения +15 v к выводу 39 разъема X3.
- X7 – Необходимо замкнуть джампер для подключения питающего напряжения -15 v к выводу 40 разъема X3.
- X8 – конфигурация выводов DO0÷DO15 разъема X3:
 - замкнуты выводы 1-2 – состояние цифровых выходов (**Z – состояние или активное состояние**) определяется программно битом DO_EN регистра управления, **при включении питания компьютера** обеспечивается Z-состояние;
 - замкнуты выводы 2-3 – на цифровых выходах всегда присутствуют активные уровни TTL, но **в момент включения питания допускается бросок логического уровня;**
 - все выводы разомкнуты – **цифровые выходы всегда в Z-состоянии.**



Если Вам требуется определённый активный логический ноль на цифровых выходах L-791 в момент включения питания, то используйте состояние 1-2 джампера на X8 в сочетании с внешними резисторными подтяжками (резисторы 2,2...10 кОм) к нулю (относительно GND – контакты 1,2 разъёма X3).

2.5. Установка программного обеспечения

См. «Руководство программиста» [1].

2.6. Обновление прошивки FPGA

Концепция платы L-791 предполагает возможность обновления прошивки FPGA, установленной на ней. Текущую версию прошивки Вашей платы можно выяснить, программно прочитав регистр **Version_ID** платы (см. п. 5.2, Таблица 12). Информацию о новых прошивках FPGA и программном обеспечении, необходимом для обновления, можно найти на сайте www.lcard.ru.

Историю прошивок FPGA и их совместимость отражает Таблица 12.

3. Описание аппаратной части

Платы серии *L7xx* являются современными, быстродействующими и надежными устройствами на базе высокопроизводительной шины PCI для ввода, вывода и обработки аналоговой и цифровой информации в персональных IBM совместимых компьютерах. Благодаря интерфейсу PCI обеспечивается высокая скорость обмена информацией (данными) с программой пользователя, исключаются конфликты с другими платами, установленными в PC, и гарантируется отсутствие конфигурационных перемычек и переключателей. Все режимы работы таких плат задаются программным образом.

В данной инструкции приводится описание платы *L-791*, обладающей следующими характеристиками:

- интерфейс с PCI шиной в режиме PCI Bus Master (максимальная скорость обмена между платой и PC – 132Мбайта/с);
- 16 дифференциальных каналов или 32 канала с общей землей для аналогового ввода с возможностью автоматической калибровки нуля;
- максимальная частота работы 14-ти битного АЦП – 400 кГц;
- вход для внешней синхронизации приема аналоговых сигналов;
- два канала аналогового вывода 12-ти битного ЦАП (опция);
- порт цифрового ввода/вывода, имеющий 16 входных и 16 выходных линий (с возможностью перевода линий вывода в Z-состояние);
- гальваноразвязка от питания PC всех цепей, выходящих на разъемы X1и X3.

Плата *L-791* подключается к PC по шине PCI и полностью поддерживает стандарт *Plug 'n' Play* PCI (см. PCI Local Bus Specification Revision 2.1). При инициализации плата резервирует за собой непрерывную область размером 4 Кбайта в пространстве памяти PC (см. п. 2.1), начиная с базового адреса **BASE**. Значение базового адреса можно прочитать средствами BIOS или Windows.

Плата *L-791* является дополнением линейки плат L-761 и L-780 и имеет следующие общие черты с этим семейством:

- 16 дифференциальных аналоговых входов или 32 входа с общей землей.
- «Покадровый» сбор данных (см. 3.3.2).
- Регулировка усиления входных сигналов.
- 2 выхода ЦАП.
- 16 цифровых входов и 16 цифровых выходов.
- Совместить на уровне штатного программного обеспечения.

3.1. Основные отличия от серии L78x

- 8 диапазонов аналоговых входных сигналов (в L-78x только 4).
- **Гальваноразвязка АЦП, ЦАП и цифровых линий ввода-вывода.**
- Наличие маломощного источника напряжения +5V, ±15V с гальваноразвязкой от питания РС и защитой по току.
- Реализован режим передачи данных PCI Bus Master.
- Контроль переполнения буфера АЦП и опустошения буфера ЦАП (см. 5.3.7 и 5.4.6).
- Автоматическое восстановление функционирования после сбоев (см. 3.3).
- Полностью аппаратная реализация всех функций платы, отсутствие на плате DSP. Коррекция данных происходит средствами самого РС.
- Реализация разночастотного сбора данных (см. 3.3.2). Разночастотный сбор данных позволяет сократить количество данных, передаваемых по шине PCI, и уменьшить время обработки данных в памяти РС, если необходимо оцифровывать данные с разной частотой по разным каналам.
- Индексный формат данных – для каждого отсчета сохраняются номер канала, циклический номер отсчета, код ошибки.
- Возможность записи цифровых данных в один из логических каналов синхронно с процессом сбора данных от АЦП (см. 5.6).
- Возможность самостоятельного обновления прошивки FPGA L-791, если возникает необходимость. О появлении новых обновлений можно узнать на сайте www.lcard.ru.

3.2. Идентификация платы L-791 на шине PCI

Плата L-791 обладает следующими индивидуальными для каждого PCI устройства идентификаторами:

- Vendor ID=0x1172;
- Device ID=0x0791;
- Class Code=0x000000;
- Revision ID=0x00;
- Subsystem ID & Subsystem Vendor ID = “L-791”=0x4C373931.

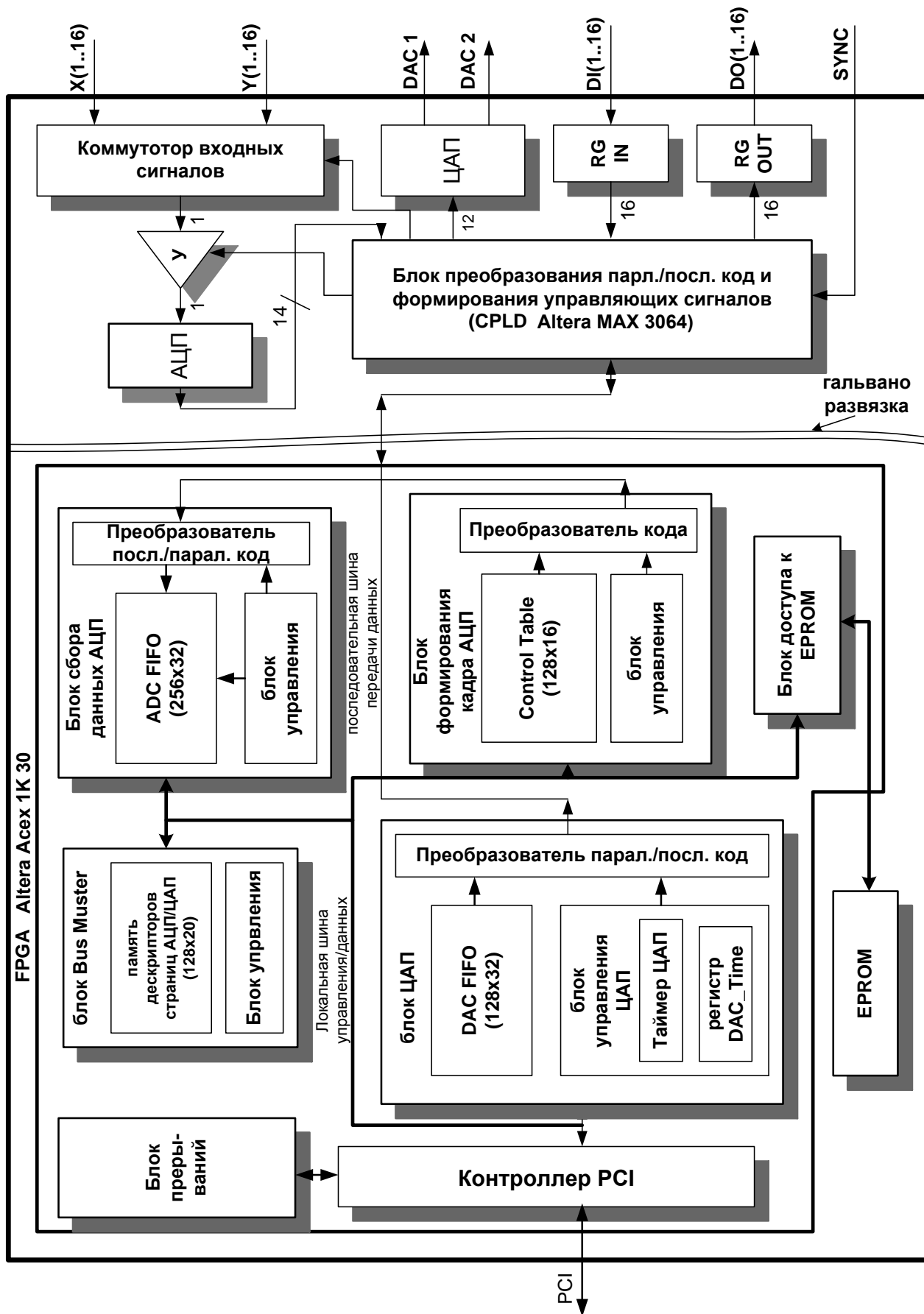


Рис. 2. Структурная схема платы L-791

3.3. Принцип работы

В соответствии с приведенной выше функциональной схемой, плата *L-791* имеет несколько функциональных блоков, назначение каждого из которых описано ниже.

На плате *L-791* применяется гальваноразвязка части схемы, отвечающей за ввод/вывод аналоговых и цифровых данных. В гальваноразвязанную часть схемы входят:

- АЦП и аналоговый коммутатор входных аналоговых сигналов;
- вход внешней цифровой синхронизации;
- ЦАП;
- входной и выходной регистры цифрового ввода/вывода.

Гальванически связанной с шиной PCI и через нее с PC в целом осталась часть схемы, отвечающая за связь с шиной PCI, буферизацию данных и формирование управляющих сигналов. Передача данных и управляющей информации между двумя частями схемы осуществляется по последовательному каналу передачи данных, который реализует три логических потока передачи данных, независимых друг от друга:

1. Передача управляющей информации на коммутатор аналоговых сигналов и АЦП.
2. Передача данных от АЦП в буфер FIFO АЦП, а также передача данных канала цифрового ввода.
3. Передача данных от буфера FIFO ЦАП в ЦАП, а также передача данных канала цифрового вывода.

Протокол передачи данных по последовательному каналу обеспечивает восстановление нормального функционирования схемы в случае возникновения сбоев, например, из-за прохождения сильной электростатической помехи¹.

Все блоки, управляющие автоматы, буферы FIFO находящиеся на гальванически связанной с PC части схемы, располагаются в FPGA Altera Aсех1К.

Преобразованием данных из последовательного кода в параллельный и обратно, а также формированием управляющих сигналов на гальваноразвязанной части схемы занимается «Блок преобразования последовательный/параллельный код», реализованный на CPLD Altera MAX3064.

Ниже приводится краткое описание каждого блока и их взаимодействия.

3.3.1. PCI контроллер

Обеспечивает взаимодействие с шиной PCI (спецификация 2.1). При обращении к плате *L-791* обеспечивает трансляцию адресов шины PCI в локальные адреса локальной шины *L-791*. Поддерживает режимы Target и Bus Master шины PCI.

3.3.2. Блок формирования кадра АЦП

Плата *L-791* позволяет опрашивать до 16 входных дифференциальных аналоговых линий или 32 аналоговые входные линии с общей землей. АЦП на плате установлен только один, и все аналоговые входы подключаются к нему через коммутатор-мультиплексор аналоговых сигналов. Количество опрашиваемых линий, тип их подключения, порядок и периодичность опроса задаются пользователем. Пользователь выбирает, какие именно входы ему необходимо контролировать, и заносит эту информацию в **Control Table**. Выбранные пользователем входы циклически опрашиваются в заданной последовательности.

Заданную последовательность опроса будем называть *кадром*.

¹Под сильной электростатической помехой подразумевается импульс со скоростью нарастания более 20 кВ/мкс, при котором примененный гальваноразвязывающий элемент может дать сбой.

Кадр состоит из логических каналов. Количество каналов задается пользователем и может быть от 1 до 128. Каждому логическому каналу может быть поставлен в соответствие любой физической вход. Частота кадров и временной интервал между соседними логическими каналами в кадре задается пользователем. Для выработки необходимых управляющих сигналов в последовательности, заданной пользователем, предназначен «Блок формирования кадра АЦП».

Формат кадра отсчетов подробно рассмотрен в п. 5.3.11.

Логический номер канала рассмотрен в п. 5.3.8.

3.3.3. Блок сбора данных АЦП

Данные АЦП и цифрового входного канала через блок преобразования “параллельный/последовательный код” поступают в блок сбора данных АЦП. Здесь они опять преобразуются в параллельный код, и данные АЦП записываются в буфер FIFO АЦП размером 256x32 (1 Кбайт). Блок управления отслеживает количество записанных слов в буфере. По записи определенного, заданного пользователем, количества отсчетов блок управления выставляет прерывание.

Данные из буфера FIFO АЦП могут быть считаны двумя различными способами:

1. Пользовательской программой непосредственно. Контроллер PCI позволяет обращаться к буферу АЦП на плате *L-791* просто как к массиву ячеек памяти размерностью 256x32 (1 Кбайт). Количество данных, занесенных в буфер FIFO АЦП, можно определить по прерыванию, считывая регистр статуса или считывая указатель буфера АЦП.
2. Данные могут автоматически записываться в область памяти PC размером 512 Кбайт по мере заполнения буфера FIFO АЦП, если включен режим Bus Master для АЦП. В этом случае блок АЦП передает блоку Bus Master сведения о количестве отсчетов, поступивших в буфер FIFO АЦП. В момент, когда данных в буфере АЦП станет больше порогового значения, задаваемого пользователем, блок Bus Master формирует запрос контроллеру PCI на передачу данных и передает контроллеру PCI адреса локальной шины и шины PCI, с которых необходимо начать передачу данных. Контроллер PCI выставляет на шину PCI запрос на захват шины PCI. После получения разрешения контроллер PCI будет записывать данные из буфера FIFO АЦП в память PC до тех пор, пока контроллер Bus Master не снимет запрос на передачу данных (в момент опустошения буфера АЦП). Гипотетически возможна ситуация, когда контроллер PCI не получает разрешения на захват шины так долго, что буфер АЦП переполняется. Для отслеживания таких случаев в блоке Bus Master введена схема контроля переполнения буфера АЦП, которая выдает сигнал в блок прерываний.

3.3.4. Блок ЦАП

Осуществляет буферизацию кодов ЦАП в FIFO размерностью 128x32 (512 байт). Из буфера ЦАП данные с определенной периодичностью поступают на преобразователь “параллельный/последовательный код”. Далее по последовательному каналу передачи данные передаются в ЦАП. Период выдачи данных в ЦАП определяется таймером ЦАП и может регулироваться пользователем в широких пределах.

Управляющие коды, записываемые в буфер ЦАП вместе с кодами ЦАП, позволяют блоку ЦАП формировать сигналы прерывания и/или останова ЦАП, а также управлять каждым из 2-х каналов ЦАП независимо. Всё это дает возможность гибко управлять работой ЦАП (подробнее см. п. 5.4).

Данные в буфер FIFO ЦАП могут быть записаны двумя различными способами:

1. Пользовательской программой непосредственно. Контроллер PCI позволяет обращаться к буферу ЦАП на плате *L-791* просто как к массиву ячеек памяти размерностью 128x32 (512 байт).
2. Данные могут подгружаться автоматически из области памяти РС размером 512 Кбайт по мере опустошения буфера FIFO ЦАП, если включен режим Bus Master для блока ЦАП. В этом случае блок ЦАП передает блоку Bus Master сведения о количестве отсчетов, поступивших на ЦАП. В момент, когда данных в буфере ЦАП станет меньше порогового значения, блок Bus Master формирует запрос контроллеру PCI на передачу данных и передает контроллеру PCI адреса локальной шины и шины PCI, с которых необходимо начать передачу данных. Контроллер PCI выставляет на шину PCI запрос на захват шины PCI. После получения разрешения контроллер PCI будет записывать данные из памяти РС в буфер ЦАП до тех пор, пока контроллер Bus Master не снимет запрос на передачу данных (в момент заполнения буфера ЦАП). Гипотетически возможна ситуация, когда контроллер PCI не получает разрешения на захват шины так долго, что буфер ЦАП полностью опустошается. Для отслеживания таких случаев в блоке Bus Master введена схема контроля опустошения буфера ЦАП, которая выдает сигнал в блок прерываний.

Кроме всего прочего, блок ЦАП принимает от контроллера PCI данные цифрового вывода и передает их посредством преобразователя “посл.→парал. код” в гальваноразвязанную часть схемы.

3.3.5. Блок Bus Master

Отслеживает степень заполнения буфера АЦП и буфера ЦАП. Формирует запрос на захват шины PCI, поступающий в «Контроллер PCI». Формирует физические адреса шины PCI и переход на следующую физическую страницу шины. Следит за переполнением и опустошением буферов ЦАП и АЦП.

3.3.6. Блок прерываний

Служит для формирования прерывания на шине PCI от различных событий и снятия прерывания по запросу ПК.

3.3.7. Блок доступа к EPROM

Служит для доступа (чтение/запись) к микросхеме EPROM, расположенной на плате *L-791*. EPROM служит для хранения пользовательской информации: серийный номер платы, корректирующие коэффициенты и т.д., а также для хранения прошивки FPGA Asex 1K30. Область EPROM, занятая под прошивку FPGA, для пользователя не доступна и может быть перепрошита (в случае появления новой версии прошивки FPGA) специальной программой (смотреть на сайте www.lcard.ru).

4. Подключение сигналов

Эта глава разъясняет назначение входных и выходных сигналов на разъемах DIGITAL I/O и ANALOG I/O платы *L-791*, характеристики и способы подключения этих сигналов.

4.1. Общие сведения

Подключение сигналов и распайка разъемов возлагаются на пользователя системы. Кабельные части разъемов для подключения сигналов содержатся в комплекте поставки – см. п. 1.3.1. Дополнительно можно приобрести модуль клеммников для уменьшения трудозатрат *пробного* монтажа схем при подаче сигналов на входы платы – см. п. 1.3.2.

Монтаж сигнальных цепей с подключением источников сигнала, датчиков и т.п. к плате *L-791* должен осуществлять специалист соответствующей квалификации.

Подключения, при которых величины уровней токов и напряжений превышают предельно допустимые значения, могут привести к ухудшению параметров платы *L-791* или выход из строя РС, самой платы или подсоединенного оборудования.

L-Card не несет ответственности за ущерб, причиненный неграмотным подключением сигналов.

Полезную информацию о способах подведения сигналов к измерительной системе и борьбы с помехами Вы найдете в специальных статьях ([2], [3]).

4.2. О правильном использовании цепей GND и AGND

Цепи GND и AGND – это цепи “общего провода” цифровых и аналоговых сигналов соответственно. Эти цепи, выведенные на контакты разъемов *L-791*, связаны между собой (внутри *L-791*). При подключении *L-791* к внешним цепям следует помнить, что наиболее грамотное подключение *L-791* – это то, которое не приводит к протеканию сквозных токов по цепям GND—AGND.



Наличие вышеуказанных сквозных токов может ухудшить соотношение “сигнал-шум” в каналах *L-791*, вызвать неустойчивую работу, а при сквозном токе более 200 мА вызвать неисправность *L-791*.

Если же такие токи в Вашей системе по какой-либо причине неизбежны, то следует принять меры по их минимизации и подавлению их высокочастотной составляющей. Общие рекомендации по подключению измерительных приборов Вы можете найти в статье [2].

4.3. Внешние разъемы

В настоящем разделе приводятся подробные описания разъемов L-791 с точки зрения внешних подключений.

Диапазоны напряжений, присутствующие в таблицах при описании сигналов, выведенных на контакты разъемов, всегда приводятся относительно контакта AGND для аналоговых сигналов и относительно контакта GND – для цифровых.

4.3.1. Разъем “ANALOG I/O”. Тип разъема DRB-37M.

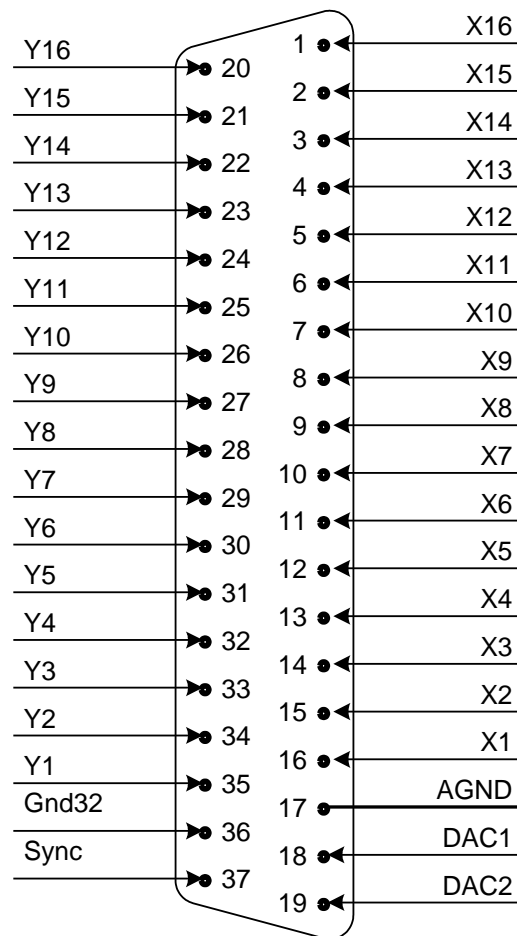


Рис. 3. Назначение выводов разъема X1

Таблица 1. Описание сигналов разъема X1 (Analog I/O)

Имя сигнала	Общая точка	Направление	Состояние после включения	Описание
DAC1	AGND	Выход	0V	Выход канала 1 ЦАП – выход напряжения $\pm 5V$
DAC2	AGND	Выход	0V	Выход канала 2 ЦАП – выход напряжения $\pm 5V$
AGND				Аналоговая земля L-791
GND32	AGND	Вход		В однофазном режиме: общий инвертирующий вход каналов 1-32. В дифференциальном режиме должен быть подключен к AGND
X1-X16	AGND	Вход		Неинвертирующий вход напряжения каналов 1-16 для дифференциального и однофазного режимов. Неиспользуемые входы X1-X16 рекомендуется подключать к AGND
Y1-Y16	AGND	Вход		Инвертирующий вход напряжения каналов 1-16 для дифференциального режима, вход каналов 17-32 для однофазного режима. Неиспользуемые входы Y1-Y16 рекомендуется подключать к AGND
Sync	GND	Вход		Вход внешней синхронизации канала АЦП. Совместим с выходным логическим уровнем TTL/CMOS-элементов с напряжением питания +5V

4.3.2. Разъем “DIGITAL I/O”

Разъем X3 находится на задней стороне платы. Для вывода сигналов с этого разъема на заднюю панель компьютера используется дополнительный кабель, заказываемый опционально (см. 1.3.2).

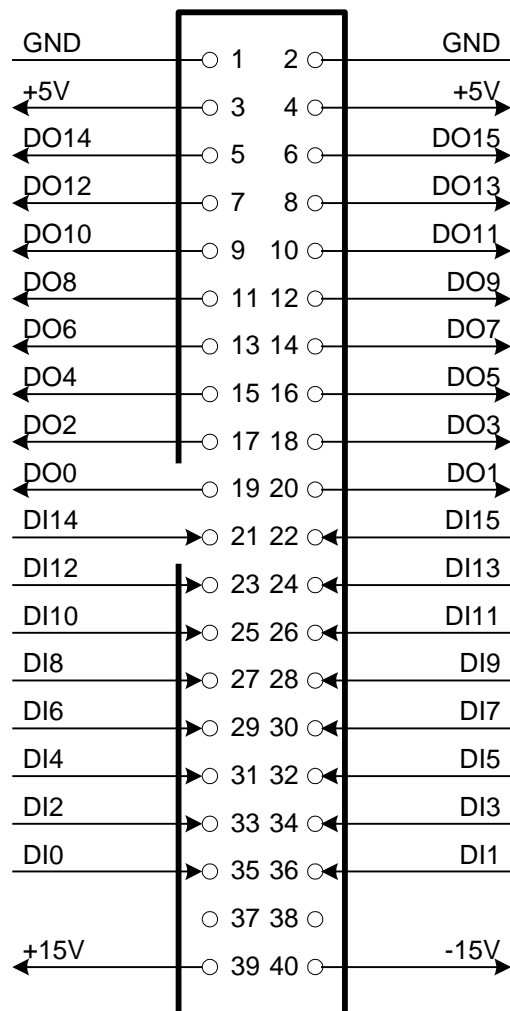


Рис. 4. Назначение выводов разъема X3

Таблица 2. Описание сигналов разъема X3 (Digital I/O)

Имя сигнала	Общая точка	Направление	Состояние выхода после включения	Описание
DI15-DI0	GND	Вход		16-битный цифровой вход: DI0-младший бит, DI15-старший бит
DO15-DO0	GND	Выход	Z-состояние	16-битный цифровой выход: DO15-старший бит, DO0-младший бит
GND				Цифровая земля L-791
+5V	GND	Выход	Плавное нарастание напряжения до +5V	Выход +5V питания внешних цепей
+15V	GND	Выход	Плавное нарастание напряжения до +15V	Выход +15V питания внешних цепей
-15V	GND	Выход	Плавное падение напряжения до -15V	Выход -15V питания внешних цепей

4.4. Характеристики входов и выходов сигнальных линий

Перед подключением платы L-791 к Вашей системе необходимо учитывать параметры, приведенные в таблицах настоящего раздела. Обратите внимание, что предельно допустимые режимы внешних линий L-791 зависят от режима, в котором плата находится – рабочем или отключенном.



Фирма-изготовитель не несет гарантийной ответственности при выходе L-791 из строя по причине превышения предельно допустимых режимов эксплуатации.

В таблицах настоящего раздела приняты следующие обозначения:

- AI – аналоговый вход;
- DI – цифровой вход;
- DO – цифровой выход;
- DIO – цифровой вход-выход;
- AIO – аналоговый вход-выход;
- Z – высокоимпедансное Z-состояние.

4.4.1. Рабочий режим

Плата L-791 имеет следующие характеристики входных и выходных сигнальных линий.

Таблица 3. Характеристики входов и выходов сигнальных линий, рабочий режим

Сигнал	Тип	Входной импеданс	Предельно допустимые условия на входе	Предельно допустимые условия на выходе	Резисторная подтяжка
DAC<1...2>	АО	—	—	Выходной ток ±2 мА	—
GND32, X<1...16>, Y<1...16>	AI	Более 1 МОм для одноканального режима. Сложный резистивно-емкостной для многоканального режима	±30V относительно AGND ±40V между любыми входами X<1...16>, Y<1...16>, GND32		
DI<0...15>	DI	4,7 кОм	-0,2...+5,2V относительно GND	—	4,7 кОм относительно +5V
DO<0...15>	DO Z	—	—	±30 мА на каждый выход	—
SYN	DI	51 кОм	-0,2...+5,2V относительно GND	—	51 кОм относительно GND

Для многоканального режима входное сопротивление канала менее 1 МОм и носит сложный резистивно-емкостной характер из-за влияния перезарядки входной динамической емкости входного коммутатора L-791 в течение времени опроса одного канала. Следовательно, оно сильно зависит от частоты АЦП. Время перезаряда емкости коммутатора, а, соответственно, и межканальное прохождение зависит также от сопротивления источника сигнала и от установленного диапазона платы L-791.

4.4.2. Отключенный режим

Если компьютер, в котором установлена *L-791*, отключен от питания или подключен, но плата *L-791* аварийно отключила питание гальваноразвязанной части платы, например, из-за превышения нагрузочной способности по току, то в этих случаях *L-791* обеспечивает следующие характеристики входных и выходных сигнальных линий.

Таблица 4. Характеристики входов и выходов сигнальных линий, отключенный режим

Сигнал	Тип	Входной импеданс	Предельно допустимые условия на входе	Предельно допустимые условия на выходе	Резисторная подтяжка
DAC<1...2>	АО	—	—	Выходной ток $\pm 0,5$ мА	—
GND32, X<1...16>, Y<1...16>	AI	1 кОм	$\pm 10V$ относительно AGND		
DI<1...16>	DI	Менее 3,3 кОм	-0,2...+5,2V относительно GND, если ток менее 20 мА		
DO<1...16>	DO Z	Менее 2 кОм	—	—	—
SYN	DI	Менее 2 кОм	-0,2...+5,2 V относительно GND, если ток менее 20 мА		

В этом режиме аналоговая часть платы *L-791* полностью обесточена и импеданс аналоговых и цифровых линий мал по сравнению с рабочим режимом.

4.5. Характеристики выходов внешнего питания

Таблица 5. Характеристики выходов внешнего питания

Выход	Максимальный выходной ток	Внутренняя защита по току
+15V	30 мА	
-15V	30 мА	
+5V	30 мА	

Внутреннее сопротивление источников питания -15 V и +15 V – не менее 30 Ом.

При использовании выходов +15V, -15V, +5V следует учитывать:

- При срабатывании защиты по току источника питания отключается также питание входных аналоговых цепей *L-791*, что приводит к блокировке входных сигналов АЦП, при этом цифровая часть продолжает работать.

- При срабатывании защиты по току источника питания уменьшаются предельно допустимые значения входных напряжений (Таблица 4).

4.6. Схемы подключения входных аналоговых сигналов

Две наиболее типичные схемы подключения входных аналоговых сигналов приведены на рисунках ниже.

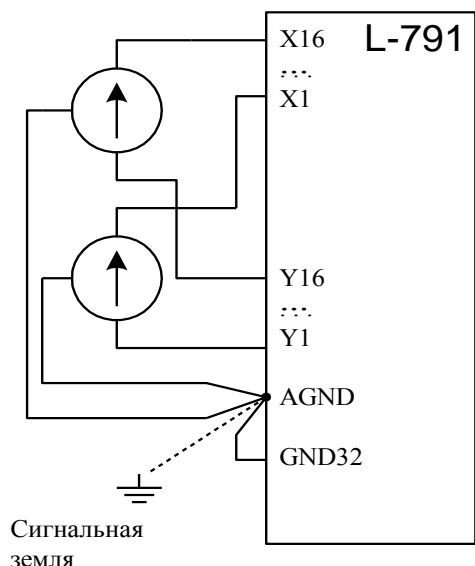


Рис. 5. Подключение до 16-ти дифференциальных источников сигналов

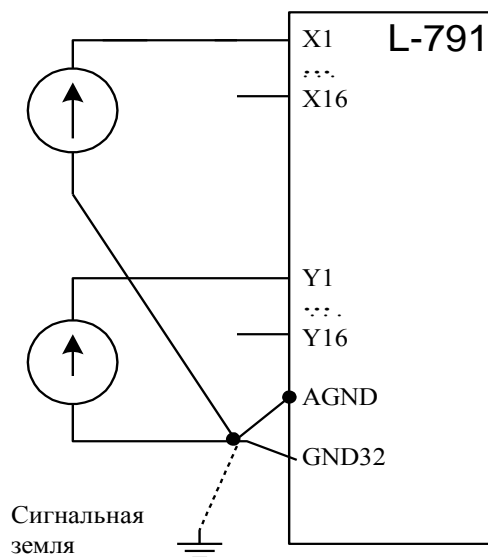


Рис. 6. Подключение до 32-х однофазных (с общей землей) источников сигналов

При дифференциальной схеме подключения сигнала измеряется разность напряжений между двумя входами канала. При таком подключении обеспечивается оптимальное подавление помех от внешней среды, наводимых на соединительные провода. Однофазная схема включения более чувствительна к фактору внешних помех.

Основные принципы подключения Вы можете узнать из специальной статьи [2].

Следует помнить, что для корректной работы входного усилителя *L-791* необходимо, чтобы потенциал каждого входа X и Y относительно земли AGND (т.н. синфазное напряжение) не превышал установленного входного диапазона (см. п. 4.4).

Плата *L-791* имеет гальваноразвязку всех цепей, выходящих на разъемы Analog I/O и Digital I/O, поэтому цепь *сигнальной земли* (обозначенная на Рис. 5, Рис. 6) **не** имеет внутри *L-791* связи с землей компьютера.

При работе с платой следует учитывать, что полоса пропускания входного аналогового тракта *L-791* выше максимальной частоты работы АЦП. Поэтому для достижения спектральной верности преобразования сигнала Вам следует ограничить полосу входного сигнала в соответствии с критерием Найквиста. Это означает, что необходимо ограничить высокочастотную составляющую сигнала до приемлемого для Вас уровня шумов, начиная с частоты $0,5 \cdot f_{\text{АЦП}}$ и выше (например, применить фильтр низкой частоты с требуемыми параметрами). В противном случае все шумы и помехи, имеющие частоту выше $0,5 \cdot f_{\text{АЦП}}$, будут накладываться на полезный сигнал в рабочей полосе частот и, скорее всего, не смогут быть отделены от него при последующей обработке.

При работе с платой необходимо помнить, что при опросе “висячих” каналов, т.е. каналов, которые не подсоединены ни к сигнальному входу, ни к земле, Вы тем не менее мо-

жете получить сигналы, аналогичные сигналам на работающих каналах. Поэтому не подключенные к сигналу аналоговые входы необходимо либо заземлять, либо не опрашивать.

В случае многоканального ввода сигналов приходится учитывать наличие входной емкости коммутаторов аналогового тракта $C_{вх} \approx 100$ пФ². Коммутационная ошибка аналогового тракта, вызывающая паразитное межканальное прохождение, не превысит ошибки самого АЦП, если выполняется следующий критерий:

$$R_1 \cdot C_{вх} \leq 0,1 \cdot t_{АЦП},$$

где:

$$R_1 = R_{и} + R_{зщ};$$

$R_{и}$ – выходное сопротивление источника сигнала;

$R_{зщ} = 1$ кОм – сопротивление защиты платы;

$t_{АЦП}$ – интервал работы АЦП.

Типичные значения межканального прохождения входного синусоидального сигнала 1 кГц в зависимости от диапазона, частоты запуска АЦП и внутреннего сопротивления источников сигналов 50 Ом, 5кОм, 20 кОм приведены в Приложении А.

Спектральные характеристики выходного сигнала ЦАП не нормированы. Технология «коммутационной матрицы», по которой выполнен опциональный ЦАП AD7249, не позволяет нормировать спектральные характеристики из-за неодинаковых переходных процессов, возникающих при переходе.

² Предварительные данные

5. Низкоуровневое описание

5.1. Распределение памяти платы L-791

Все адреса в табл. 6 указаны относительно базового адреса, который назначается в момент инициализации компьютера по включению питания или перезагрузке. Для нормального функционирования плата L-791 требует выделить область 4 кбайт в пространстве основной памяти PC (см. п. 2.1). Базовый адрес соответствует первому адресу из этой области и выделяется PC в момент инициализации системы в соответствии с процедурой Plug'n'Play стандарта PCI (см. **PCI Local Bus Specification Revision 2.1**).



Запись в область памяти L-791 допускается данными не меньше размерности, указанной в таблице 6. Допускается запись двух 16-ти разрядных регистров **Control_Table** одним 32-х разрядным *выровненным* словом. Попытка 16-ти битовой записи в 32-х разрядный регистр испортит значение всего регистра. Попытка 8-ми битовой записи в 32-х или 16-ти разрядный регистр испортит значение всего регистра и, для версии прошивки **Version_ID** = 0x01000101, может нарушить работу компьютера и привести к зависанию.

Чтение области памяти L-791 может производиться данными произвольного размера для версии прошивки **Version_ID** = 0x02000201 и выше. Для версии прошивки **Version_ID** = 0x01000101 допускается чтение только 32 бит или 16 бит. Попытка 8-ми битового чтения, для версии прошивки **Version_ID** = 0x01000101, может нарушить работу компьютера и привести к его зависанию.

Таблица 6. Распределение памяти платы L-791

Адрес	Переменная	Значение по умолчанию	Размер	Назначение	Доступ
000-3FC	ADC_buffer	0x00000000	32	Буфер отсчетов АЦП(256x32)	r
400-5FC	DAC_buffer	0x00000000	32	Буфер отсчетов ЦАП(128x32)	w
600-6FE	Control_Table	0x0000	16	Массив логических номеров каналов АЦП (128x16)	w
800-9FC	ADC_Page_Desc	0x00000000	32	Блок дескрипторов страниц АЦП(128x32)	w
A00-BFC	DAC_Page_Desc	0x00000000	32	Блок дескрипторов страниц ЦАП(128x32)	w
7FC	Int_Frm_Time	0x00000000	32	Время межкадрового интервала	w
7F8	Channel_Time	0x00000000	32	Интервал запуска АЦП	w
7F4	Control_Table_Length	0x00000000	32	Фактический размер таблицы Control_Table	w
F80	ADC_PCI_Count	0x00000000	32	Циклический счетчик позиции буфера АЦП в памяти PC	r

F84	DAC_PCI_Count	0x00000000	32	Циклический счетчик позиции буфера ЦАП в памяти РС	r
F88	DAC_Time	0x00FFFFFF	32	Таймер ЦАП	r/w
F90	ADC_Buf_Adr	0x00000000	32	Текущий адрес записи буфера АЦП	r
F94	DAC_Buf_Adr	0x00000000	32	Текущий адрес записи буфера АЦП	r
F98	DIG_IO	0x00000000	32	Канал цифрового ввода/вывода	r/w
F9C	ADC_Sample_Qnt	0x000000FF	32	Определяет количество слов в буфере АЦП на плате <i>L-791</i> , после записи которых произойдет останов блока АЦП (см. п. 5)	w
FA0	ADC_Mst_Sample_Qnt	0x0001FFFF	32	Определяет количество слов в буфере АЦП в памяти РС, после записи которых произойдет останов режима Bus Master блока АЦП (см. п. 5.7)	w
F8C	EPROM_Dat	0x00000000	32	Байт данных записанный/считанный из EPROM	r/w
FA4	EPROM_Adr	0x00000000	32	Адрес байта при обращении к EPROM	w
FF0	Int_En_Rg	0x00000000	32	Регистр разрешения прерываний	r/w
FF4	Version_ID³	0x02000201 (последняя версия)	32	Идентификатор платы, прошивок AVR, FPGA, CPLD	r
FF8	Status	0x00000000	32	Регистр состояния	r/w
FFC	Control	0x00000000	32	Регистр управления	r/w

Примечание:

r – только чтение;

w – только запись;

r/w – возможны и чтение и запись.

³ В предыдущих версиях данного руководства этот регистр ошибочно был назван как **Device_ID**, что пересекалось по названию с соответствующим PCI-конфигурационным регистром.

5.2. Регистры

Таблица 7. Формат регистра управления (Control), биты 15-0 (управление каналом АЦП)

№ бита	Обозначение	Функциональное назначение	До-ступ
0	ADC_En	Разрешение работы АЦП	r/w
1	ADC_Master_En	Разрешение режима PCI Master канала АЦП	
2	Clr_ADC_CNT	Сброс буфера АЦП	
3	Auto_Stop_ADC_Mst	Разрешает автоматический останов передачи данных по Bus Master и сброс бита ADC_Mst_En	
4	Auto_Stop_ADC	Разрешает автоматический сброс бита ADC_En	
7÷5		Зарезервировано	
9÷8	Sync_Mode	Режим синхронизации: 0x – непрерывная работа при ADC_En=1; 10 – запуск непрерывной работы канала АЦП от внешнего цифрового источника сигнала; 11 – запуск покадрового сбора данных канала АЦП от внешнего цифрового источника сигнала	
11÷10		Зарезервировано	
14÷12	ADC_Buf_Depth	Определяет глубину буфера АЦП (см. п. 5.3.3)	
15		Зарезервировано	

Таблица 8. Формат регистра управления (Control), биты 23-16 (управление каналом ЦАП)

16	DAC_En	Разрешение работы ЦАП	r/w
17	DAC_Master_En	Разрешение режима PCI Master канала ЦАП	
18	Clr_DAC_CNT	Сброс указателя буфера ЦАП на плате <i>L-791</i> и указателя буфера ЦАП в памяти РС	
23÷19		Зарезервировано	

Таблица 9. Формат регистра управления (Control), биты 31-24 (дополнительные функции)

25÷24	EPROM_Cmd	Команда при обращении к EPROM (см. п. 5.5)	r/w
26	EPROM_Start	<u>Запись:</u> 1 – запустить на исполнение команду EPROM_Cmd <u>Чтение:</u> всегда 0	
27	EPROM_Wr_En	Разрешение выполнения команды записи при обращении к EPROM	
28	Output_En	Разрешение канала цифрового вывода	
31÷29		Зарезервировано	

Таблица 10. Формат регистра состояния (Status)

№ бита	Обозначение	Функциональное назначение	До-ступ
0	ADC_Mst_Event	<u>Чтение</u> : 1 – произошло прерывание по записи в буфер АЦП в памяти РС заданного количества отсчетов. <u>Запись</u> : 1 – сброс прерывания от АЦП	r/w
1	ADC_Ovf_Event	<u>Чтение</u> : 1 – произошло переполнение буфера АЦП на плате L-791 в режиме Bus Master. <u>Запись</u> : 1 – сброс	
2		Зарезервировано	
3	ADC_Buf_Event	<u>Чтение</u> : 1 – произошло прерывание по записи в буфер АЦП на плате L-791 заданного количества отсчетов. <u>Запись</u> : 1 – сброс прерывания от АЦП	
15÷4		Зарезервировано	
16	DAC_Usr_Event	<u>Чтение</u> : 1 – произошло прерывание от ЦАП. <u>Запись</u> : 1 – сброс прерывания от ЦАП	
17		Зарезервировано	
18	DAC_Unf_Event	<u>Чтение</u> : 1 – произошло опустошение буфера ЦАП на плате L-791 в режиме Bus Master. <u>Запись</u> : 1 – сброс	
23÷19		Зарезервировано	
24		Зарезервировано	
25	EPROM_Busy	0 – блок обращения к EPROM готов к приему новой команды. 1 – блок обращения к EPROM занят обработкой предыдущей команды	
30÷26		Зарезервировано	
31	Int	1 – произошло прерывание от одного из разрешенных источников	

Таблица 11. Формат регистра разрешения прерываний (Int_En_Rg)

№ бита	Обозначение	Функциональное назначение	Доступ
0	ADC_Mst_Int_En	Разрешает прерывание по записи в буфер АЦП в памяти РС заданного количества отсчетов	r/w
1	ADC_Ovf_Int_En	Разрешает прерывание по переполнению буфера АЦП на плате <i>L-791</i> в режиме Bus Master	
2		Зарезервировано	
3	ADC_Buf_Int_En	Разрешает прерывание по записи в буфер АЦП на плате <i>L-791</i> заданного количества отсчетов	
15÷4		Зарезервировано	
16	DAC_Usr_Int_En	Разрешает прерывание от флага ЦАП	
17		Зарезервировано	
18	DAC_Unf_Int_En	Разрешает прерывание по опустошению буфера ЦАП на плате <i>L-791</i> в режиме Bus Master	
30÷19		Зарезервировано	
24		Зарезервировано	
30÷25		Зарезервировано	
31	Int_En	Общее разрешение прерываний	

Таблица 12. Формат регистра идентификатора версии (Version_ID)

№ бита	Обозначение	Функциональное назначение	Доступ	Дата появления прошивки, тип FPGA, значение идентификаторов версий прошивок			
				Апрель 2004 г. (прим.1)	Апрель 2010 г. (прим.2)	Апрель 2011 г. (прим.3)	Июль 2011 г. (прим.4)
				Тип FPGA EP1K30TC144-3		Тип FPGA EP1K30TC144-2	
7÷0	CPLD_ID	Идентификатор версии прошивки CPLD MAX3064	r	01	01	01	01
15÷8	FPGA_ID	Идентификатор версии прошивки FPGA		01	02	03	04
23÷16	AVR_ID	Идентификатор версии прошивки AVR		00	00	00	00
31÷24	Plate_ID	Идентификатор аппаратной функциональности платы L-791		01	02	03	03
Принципиально допустимые варианты смены прошивок				 Примеч.5		 Примеч.6	

Примечание 1. Первая официальная прошивка L-791.

Примечание 2. Устранены некоторые проблемы совместимости с современными чипсетам материнских плат.

Примечание 3. Прошивка, совместимая только с типом FPGA **EP1K30TC144-2** (при производстве L-791 переход на данный тип FPGA осуществлён в 2011 году).

Примечание 4. Прошивка, совместимая только с типом FPGA **EP1K30TC144-2**. Прошивка выпущена для обеспечения совместимости с EPROM типа AT45DB011D. Совместимость со старым EPROM типа AT45DB011B обеспечивается.

Примечание 5. Данное обновление прошивки целесообразно делать в том случае, если обнаружены проблемы совместимости с современными чипсетам. При отсутствии проблем обновление не считается целесообразным.

Примечание 6. Данное обновление прошивки пользователем не считается целесообразным, поскольку не добавляет ему какого-либо нового качества. Переход на прошивку **FPGA_ID = 4** осуществлён в L-Card с июля 2011 г. для обеспечения совместимости с новым EPROM AT45DB011D.

5.3. АЦП

5.3.1. Регистры, определяющие режимы работы АЦП

Таблица 13. Регистры АЦП

Адрес	Переменная	Размер	Назначение	Доступ
000-3FC	ADC_buffer	32	Буфер отсчетов АЦП (256x32)	r
600-6FE	Control_Table	16	Массив логических номеров каналов АЦП (128x16)	w
800-9FC	ADC_Page_Desc	32	Блок дескрипторов страниц АЦП (128x32)	w
7FC	Frame_Time	32	Время кадра	w
7F8	Channel_Time	32	Интервал запуска АЦП	w
7F4	Control_Table_Length	16	Фактический размер таблицы Control_Table	w
F80	ADC_PCI_Count	32	Циклический счетчик позиции буфера АЦП в памяти РС	r
F90	ADC_Buf_Adr	32	Текущий адрес записи буфера АЦП	r
FA0	ADC_Int_Count	32	См п. 5.7	
FF8	Status	32	Регистр состояния	r/w
FFC	Control	32	Регистр управления	r/w

Примечание:

- r – только чтение;
- w – только запись;
- r/w – чтение/запись.

5.3.2. Краткое описание блока АЦП платы L-791

Основное назначение платы L-791 – сбор данных с аналоговых каналов.

В соответствии с данными, записанными в таблицу Control_Table (см. п. 5.3.8), АЦП последовательно опрашивает заданные входные аналоговые линии, при этом частота опроса может быть установлена индивидуально для каждого канала (см. п. 5.3.11).

Работа АЦП возможна только при установленном в 1 бите ADC_En регистра управления. Если бит ADC_En установлен в 0, сбор данных не ведется, указатель адреса буфера АЦП ADC_Buf_Adr и циклические номера отсчетов для каждого логического канала сохраняют свои значения.

Для сброса указателя адреса буфера АЦП на плате L-791, указателя адреса буфера АЦП в памяти РС и циклических номеров отсчетов логических каналов в нулевое значение служит бит Clr_ADC_Cnt регистра управления. Счетчики адресов будут сброшены до тех пор, пока Clr_ADC_Cnt=1. Для нормальной работы АЦП необходимо установить Clr_ADC_Cnt в '0'. Бит Clr_ADC_Cnt разрешается устанавливать в 1, только когда биты ADC_En и ADC_MST_En сброшены в 0. Аналогично, биты ADC_MST_En и ADC_En разрешается устанавливать в 1, только когда бит Clr_ADC_Cnt сброшен в 0. В противном случае нормальное функционирование платы не гарантируется.

Отсчеты, снимаемые с АЦП, записываются в буфер АЦП, расположенный на плате L-791. Размер буфера 256x32, адрес BASE+000. Описание формата слова отсчета приводится в п. 5.3.9 Текущее положение указателя буфера можно посмотреть в регистре по адресу ADC_Buf_Adr.

Таблица 14. Формат ADC_Buf_Adr

№ бита	Функциональное назначение	Доступ
7÷0	Текущее положение указателя буфера АЦП на плате L-791	Только чтение
31÷8	Зарезервировано (всегда 0)	

Если бит ADC_Mst_En управляющего регистра установлен в 1, накопленные в буфере АЦП отсчеты автоматически передаются в память РС. Если бит ADC_Mst_En управляющего регистра установлен в 0, данные из буфера АЦП на плате L-791 можно забрать программным способом.

5.3.3. Работа в режиме PCI Bus Master

Работа АЦП в режиме PCI Bus Master разрешается установкой в 1 бита ADC_Master_En управляющего регистра (Control).

Отсчеты, снимаемые с АЦП, накапливаются в буфере АЦП на плате L-791. Размер буфера 256x32.

При достижении порогового количества отсчетов, определяемого переменной ADC_Buf_Depth (см. Таблица 34), плата L-791 выдает запрос арбитру шины PCI на режим Bus Master. При получении разрешения L791 передает данные из буфера АЦП в память PC. Адреса в памяти PC определяются памятью дескрипторов страниц (см. далее).

Переменная ADC_Buf_Depth находится в регистре управления, биты 14-12.

Таблица 15. Формат переменной ADC_Buf_Depth

№ бита		Пороговое значение	Режим передачи по шине PCI	Доступ
14-12	000	1 отсчета	Одиночными словами	r/w
	001	2 отсчета		
	010	4 отсчета		
	011	8 отсчетов	Пакетный	
	100	16 отсчетов		
	101	32 отсчета		
	110	64 отсчета		
	111	128 отсчетов		

Если значение переменной ADC_Buf_Depth лежит в пределах от 0 до 2 (передача от 1 до 4-х слов данных соответственно), плата L-791 передает данные в память PC по одному слову за транзакцию. Это существенно (в несколько раз) снижает скорость работы шины PCI. Не следует использовать такие значения переменной ADC_Buf_Depth при работе АЦП на максимальных частотах. Пропускная способность шины PCI тем выше, чем больше значение ADC_Buf_Depth. Значения ADC_Buf_Depth от 0 до 2 могут оказаться полезными, если сбор данных идет на низких частотах и необходимо сразу получить данные в память PC.

Например: Плата L-791 позволяет собирать медленно меняющиеся данные с частотой 1 Гц и ниже. Если при частоте работы АЦП 1 Гц использовать режим Bus Master и установить ADC_Buf_Depth=7 (накопление 128 отсчетов), то время ожидания данных в памяти PC составит более 2 мин. При ADC_Buf_Depth=0 каждый новый отсчет будет сразу появляться в памяти PC (время до появления нового отсчета – 1 сек).

Необходимо понимать, что переменная ADC_Buf_Depth не влияет на размер буфера АЦП и определяет только порог накопления данных в буфере, после которого плата посылает запрос в PC на захват шины PCI. Между запросом на захват шины и началом передачи данных может пройти время, определяемое конфигурацией PC и оборудованием, установленным на шину PCI. В течение этого времени плата L-791 также будет накапливать данные в буфере АЦП.

5.3.4. Блок дескрипторов страниц

Блок дескрипторов страниц (ADC_Page_Desc) – область памяти на плате L-791 размером 128x32, доступная со стороны PC только по записи. Начальный адрес блока дескрипторов – BASE+800. Во время инициализации платы сюда необходимо записать физические адреса 4-х килобайтных страниц памяти PC, которые соответствуют виртуальной памяти ком-

пьютера, предназначенной для организации буфера АЦП в памяти РС (про организацию памяти РС можно посмотреть в [16]).

Таблица 16. Формат дескриптора страниц

№ бита	Функциональное назначение	Доступ
31÷12	Разряды 31-12 физического адреса памяти РС	Только запись
11÷0	Игнорируются	

После заполнения текущей страницы (4 Кбайта) данными плата *L-791* переходит на следующую страницу. Адреса страниц в общем случае не зависят друг от друга. После заполнения последней страницы (127) переходит на первую (0). Таким образом, в режиме PCI Bus Master плата циклически заполняет 512 Кбайт памяти РС.

В случае необходимости размер буфера в РС можно уменьшить в 2, 4, 8 и т.д. раз до размера одной страницы (4 Кбайт).

Например: Размер буфера АЦП в памяти РС – 64 Кбайт, что составляет 16 4-х килобайтных страниц. После получения адресов страниц, заносим их в блок дескрипторов, повторяя 8 раз. В этом случае после заполнения страницы с номером 15, плата переходит на страницу с номером 16, а адрес этой страницы совпадает с адресом страницы под номером 0.

Текущее положение указателя буфера РС можно проконтролировать, считывая данные из ячейки по адресу **ADC_PCI_Count**.

Таблица 17. Формат ADC_PCI_Count

№ бита	Функциональное назначение	Доступ
9÷0	Текущее положение указателя буфера РС внутри страницы в словах (одно слово – 4 байта)	Только чтение
16÷10	Номер страницы	
31÷17	Зарезервировано (всегда 0)	

5.3.5. Счетчик слов, записанных в буфер АЦП на плате L-791

Для контроля количества данных записанных в буфер АЦП на плате L-791 вводятся регистр Sample_Qnt.

Таблица 18. формат регистра Sample_Qnt

№ бита	Функциональное назначение	Доступ
7÷0	Определяет кол-во слов, записанных в буфер АЦП на плате L-791, необходимых для генерирования прерывания	w
31÷8	Зарезервировано	

Специальный счетчик на плате L-791 принимает значение регистра Sample_Qnt в момент обновления регистра Sample_Qnt или при достижении 0. Значение счетчика уменьшается на 1 каждый раз, когда в буфер АЦП на плате L-791 записывается отсчет АЦП. При достижении счетчиком 0 устанавливается бит ADC_Buf_Event регистра состояния, и счетчик опять принимает значение из регистра Sample_Qnt. Для сброса бита ADC_Buf_Event необходимо записать в него 1.

Плата L-791 выставит прерывание, если бит ADC_Buf_Event=1 и бит ADC_Buf_Int_En регистра разрешения прерываний (Int_En_Rg) тоже равен 1.

Таким образом, бит ADC_Buf_Event будет выставлен (и произойдет прерывание, если бит ADC_Buf_Int_En=1), когда в буфер АЦП на плате L-791 будет записано количество отсчетов равное:

$$L = \text{Sample_Qnt} + 1.$$

Кроме того, тот же счетчик служит для останова канала АЦП. Если бит Auto_Stop_ADC=1, то одновременно с установкой бита ADC_Buf_Event будет сброшен бит ADC_En и работа блока АЦП прекратится. Это позволяет организовать эффективную работу блока АЦП в режиме программного сбора данных.

Замечание 1: Биты ADC_Buf_Int_En и Auto_Stop_ADC работают независимо друг от друга.

5.3.6. Счетчик слов, записанных в буфер АЦП в памяти РС

Для контроля количества данных, переданных в буфер АЦП, в памяти РС вводится регистр ADC_Mst_Sample_Qnt.

Таблица 19. Формат регистра ADC_Mst_Sample_Qnt

№ бита	Функциональное назначение	Доступ
16÷0	Определяет кол-во слов, записанных в РС из буфера АЦП, необходимых для генерирования прерывания	w
31÷17	Зарезервировано	

Специальный счетчик на плате *L-791* принимает значение регистра ADC_Mst_Sample_Qnt в момент обновления регистра ADC_Mst_Sample_Qnt или при достижении 0. Значение счетчика уменьшается на 1 каждый раз, когда в память РС записывается слово из буфера АЦП на плате *L-791*. При достижении счетчиком 0 устанавливается бит ADC_Mst_Event регистра состояния и счетчик опять принимает значение из регистра ADC_Mst_Sample_Qnt. Для сброса бита ADC_Mst_Event необходимо записать в него 1.

Плата *L-791* выставит прерывание, если бит ADC_Mst_Event =1 и бит ADC_Mst_Int_En регистра разрешения прерываний (Int_En_Rg) также равен 1.

Таким образом, бит ADC_Mst_Event будет выставлен (и произойдет прерывание, если бит ADC_Mst_Int_En='1'), когда в память РС будет записано из буфера АЦП на плате *L-791* количество отсчетов, равное:

$$L = \text{ADC_Mst_Sample_Qnt} + 1.$$

Кроме того, тот же счетчик служит для останова режима Bus Master для канала АЦП. Если бит Auto_Stop_ADC_Mst =1, то одновременно с установкой бита ADC_Mst_Event будет сброшен бит ADC_Master_En и передача данных из буфера АЦП на плате *L-791* в память РС прекратится. Это позволяет задать строго определенное количество отсчетов, которое будет передано из платы в память РС.

Замечание 1: Биты ADC_Mst_Int_En и Auto_Stop_ADC_Mst работают независимо друг от друга.

Замечание 2: Значение регистра ADC_Mst_Sample_Qnt не влияет на работу буфера АЦП на плате *L-791* в соответствии с битами ADC_Depth. Например, если ADC_Depth="111", ADC_Mst_Sample_Qnt = 5 и Auto_Stop_ADC_Mst =1, то в буфере АЦП на плате *L-791* будет накоплено 128 отсчетов, затем будет инициирована передача данных в РС в режиме PCI Bus Master и после передачи 6 отсчетов, передача данных будет остановлена.

5.3.7. Переполнение буфера АЦП

Плата *L-791* осуществляет автоматический контроль на пополнение буфера АЦП на плате *L-791* в режиме работы Bus Master. Переполнение буфера АЦП на плате *L-791* может возникнуть, если плата *L-791* длительное время не получает управление и не может переписать данные из буфера АЦП (на плате *L-791*) в буфер АЦП (в памяти РС). О пополнении буфера АЦП свидетельствует установленный в 1 бит ADC_Ovf_Event регистра статуса. Сбросить бит ADC_Ovf_Event можно, записав в него 1.

В случае возникновения пополнения буфера АЦП следует пересмотреть конфигурацию компьютера и/или установленное на нем программное обеспечение. Необходимо учитывать, что большое количество активных устройств на шине PCI может помешать плате *L-791* вовремя передать данные, что приведет к пополнению буфера и потере данных АЦП. Кроме того, многие устройства, встроенные в материнскую плату (контроллер жестких дисков, сетевой адаптер, звуковая карта и т.д.), также подключены к шине PCI. Также необходимо учитывать, что операционные системы Windows не являются системами реального времени, и время реакции на событие в этих системах может превышать десятки мс.

При работе АЦП на частоте, близкой к максимальной (400 КHz), следует использовать следующие установки:

- Режим PCI Bus Master включен, что позволяет плате *L-791* автоматически сбрасывать данные в память РС.
- ADC_Buf_Depth больше 3. В этом случае передача данных на шине PCI будет идти в пакетном режиме. Вообще, чем больше значение ADC_Buf_Depth, тем меньше накладных расходов на организацию передачи данных. Однако при максимальном ADC_Buf_Depth запрос на передачу данных поступает только после того, как в буфере АЦП на плате останутся свободными 128 слов. В этом случае опять же может возникнуть пополнение буфера, если на шине PCI находится много активных устройств, каждое из которых передает большое количество данных.

5.3.8. Логический номер канала АЦП

На плату *L-791* для управления работой АЦП при сборе данных с входных аналоговых каскадов вводится такой параметр, как 16-ти битный логический номер канала АЦП.

Именно массив логических номеров каналов АЦП, образующих управляющую таблицу Control_Table, задает циклическую последовательность работы АЦП при сборе данных. В состав логического номера канала АЦП входят несколько важных параметров, задающих различные режимы функционирования платы:

- физический номер аналогового канала;
- управление включением режима калибровки нуля, т.е. при этом вход каскада с программируемым коэффициентом усиления (PGA) просто заземляется;
- тип подключения входных каскадов – 16 дифференциальных входных аналоговых каналов или 32 входных канала с общей землей;
- считывание данных с цифровых линий DI15 – DI0;
- коэффициент усиления, т.е. для каждого канала можно установить свой индивидуальный коэффициент усиления;
- индивидуальный коэффициент деления частоты, (см. «Формат кадра отсчетов»).

Таблица 20. Формат логического номера канала

Номер бита	Обозначение	Функциональное назначение
5÷0	MA(5-0)	Номер физического канала
8÷6	GS(2-0)	Коэффициент усиления физического канала, см. Таблица 22
13÷9	DIV	Индивидуальный коэффициент деления частоты (0-26), см. п. 5.3.11
15÷14		Зарезервировано

Таблица 21. Номер физического канала

MA(5)	MA(4-0)		
1	Значение поля от 0 до 31 соответствуют номеру выбранного входа с общей землей: X1->Вход 1, X2-> Вход 2, ..., Y1-> Вход 17, ... , Y16-> Вход 32		
0	MA(4)	MA(3-0)	
	0	Значение поля от 0 до 15 соответствуют номеру выбранного дифференциального входа (пары физических входов X1-Y1, X2-Y2,..., X16-Y16)	
	1	MA(3)	MA(2-0)=XXX
		0	Измерение напряжения собственного смещения нуля АЦП
1	1	Данные на цифровом входе D_IN	

5.3.9. Формат данных буфера АЦП

Данные, считанные с АЦП, представляются в формате знакового целого двухбайтного числа от -8192 до +8191. Конкретное значение напряжения, соответствующее данному значению кода АЦП, зависит от коэффициента усиления **GS** и корректировочных коэффициентов (п. 5.3.10).

Пример: При коэффициенте усиления $GS=0$ и номере канала $MA=0$ код -8192, считанный из АЦП будет означать, что на дифференциальном входе X0-Y0 установлено напряжение -10 В.

Таблица 22. Коэффициент усиления (биты GS0, GS1 и GS2)

Бит GS2	Бит GS1	Бит GS0	Усиление	Диапазон входного напряжения, В
0	0	0	1	$\pm 10,0$
0	0	1	2	$\pm 5,0$
0	1	0	4	$\pm 2,5$
0	1	1	8	$\pm 1,25$
1	0	0	16	$\pm 0,625$
1	0	1	32	$\pm 0,312$
1	1	0	64	$\pm 0,156$
1	1	1	128	$\pm 0,078$

Отсчеты, считанные с АЦП, помещаются в циклический буфер размером 256x32 (1 Кбайт) на плате L-791. Формат 32-х разрядного слова определяется следующим образом.

Таблица 23. Формат данных буфера АЦП

Номер бита	Обозначение	Функциональное назначение
15÷0	VAL(15-0)	Значение АЦП (от -8192 до 8191) или канала цифрового ввода данных (DI15 – DI0)
22÷16	N_Cn_Tbl(6-0)	Номер канала. Соответствует адресу логического канала в таблице Control_Table
23		Зарезервировано (равен 0)
28÷24	CNT(4-0)	Циклический номер отсчета
29	Err_0	1 – Произошла ошибка при передаче данных на коммутатор аналоговых сигналов. 0 – Нет ошибки
30	Err_1	1 – Произошла ошибка четности при приеме данных от АЦП или цифрового входа. 0 – Нет ошибки
31	Err_2	1 – Произошла ошибка в структуре данных при приеме данных от АЦП/Цифрового входа. 0 – Нет ошибки

Циклический номер отсчета увеличивается на 1 каждый раз при записи отсчета конкретного канала в буфер АЦП на плате *L-791*.

При запрещении работы АЦП (бит *ADC_En* регистра управления установлен в 0) циклические номера отсчетов (*CNT*) для всех каналов остаются неизменными. Для сброса *CNT* всех каналов в 0 необходимо установить в 1 бит *Clr_ADC_Cnt*, одновременно этот бит сбрасывает в 0 указатель буфера АЦП на плате *L-791* и указатель буфера АЦП в памяти РС.

5.3.10. Корректировка данных АЦП

Схемотехника и использованные электронные компоненты обеспечивают линейность передаточной характеристики входного аналогового тракта платы *L-791*. Однако на плате полностью отсутствуют какие-либо подстроечные резисторы. И хотя это и позволяет улучшить шумовые характеристики и увеличить надёжность платы, зато с неизбежностью приводит к тому, что полученные показания с АЦП могут иметь некоторое смещение нуля и неточность в передаче масштаба. Поэтому на уровне приложения необходимо организовывать корректировку получаемых с АЦП данных. При этом в качестве корректировочных коэффициентов вполне можно использовать как *штатные (заводские)*, так и свои собственные, т.е. *пользовательские* коэффициенты.

Пользовательские корректировочные коэффициенты могут быть использованы, например, для целей компенсации погрешностей целого измерительного тракта какого-нибудь стенда, составной частью которого вполне может служить плата *L-791*. При этом вся ответственность за формирование и корректное применение *пользовательских* корректировочных коэффициентов полностью ложится на плечи конечного пользователя.

Штатные (заводские) корректировочные коэффициенты располагаются в массиве `KoefAdc[]` структуры служебной информации `PLATA_DESCR_L791` (библиотека *LComp*). Вся служебная информация совместно с корректировочными коэффициентами записывается в плату на этапе при его наладке в ООО “Л Кард”. Поле коэффициентов представляет собой массив типа *float*. Первые восемь элементов массива `KoefAdc[]` содержат коэффициенты для корректировки масштаба, остальные восемь – для корректировки смещения нуля. Если обозначить через *i* индекс диапазона входного напряжения платы (значение поля коэффициента усиления **GS**), то корректировочные коэффициенты для любого канала АЦП могут быть получены следующим образом:

масштаб: `KoefAdc[i + 0x0]`;
смещение: `KoefAdc[i + 0x8]`.

В общем виде процедура корректировки данных АЦП выполняется по следующей формуле:

$$Y = (X+A)*B,$$

где: *X* – некорректированное значение с АЦП [в отсчетах АЦП],
Y – скорректированное значение с АЦП [в отсчетах АЦП],
A – коэффициент смещения нуля для заданного диапазона [в отсчетах АЦП],
B – коэффициент масштаба для заданного диапазона [безразмерный].

Для перевода откорректированного значения из кода АЦП в напряжение (т.е. в вольты) можно воспользоваться следующей формулой:

$$U = Y \times \text{Range} / 8192,$$

где: *Y* – скорректированное значение с АЦП [в отсчетах АЦП],
Range – диапазон входного напряжения [в вольтах],
U – скорректированное значение с АЦП [в вольтах].

5.3.11. Формат кадра отсчетов

Во время работы АЦП производится циклический опрос каналов АЦП в соответствии с таблицей Control_Table (см. п. 5.3.8). Количество опрашиваемых каналов определяется регистром Control_Table_Length (см. Таблица 24). Порядок опроса каналов: канал 0, канал 1, канал 2, ... , канал (Control_Table_Length).

Таблица 24. Формат регистра Control_Table_Length

Номер бита	Функциональное назначение
6÷0	Значение (0 –127). 0 – используется только 0-й логический канал, 127 – используются логические каналы с 0-го по 127-й
15÷7	Зарезервировано

Временные параметры кадра для Control_Table_Length = 5 (используются логические каналы с 0-го по 4-й) и логика работы АЦП приведены на следующем рисунке (описание логики работы см. ниже):

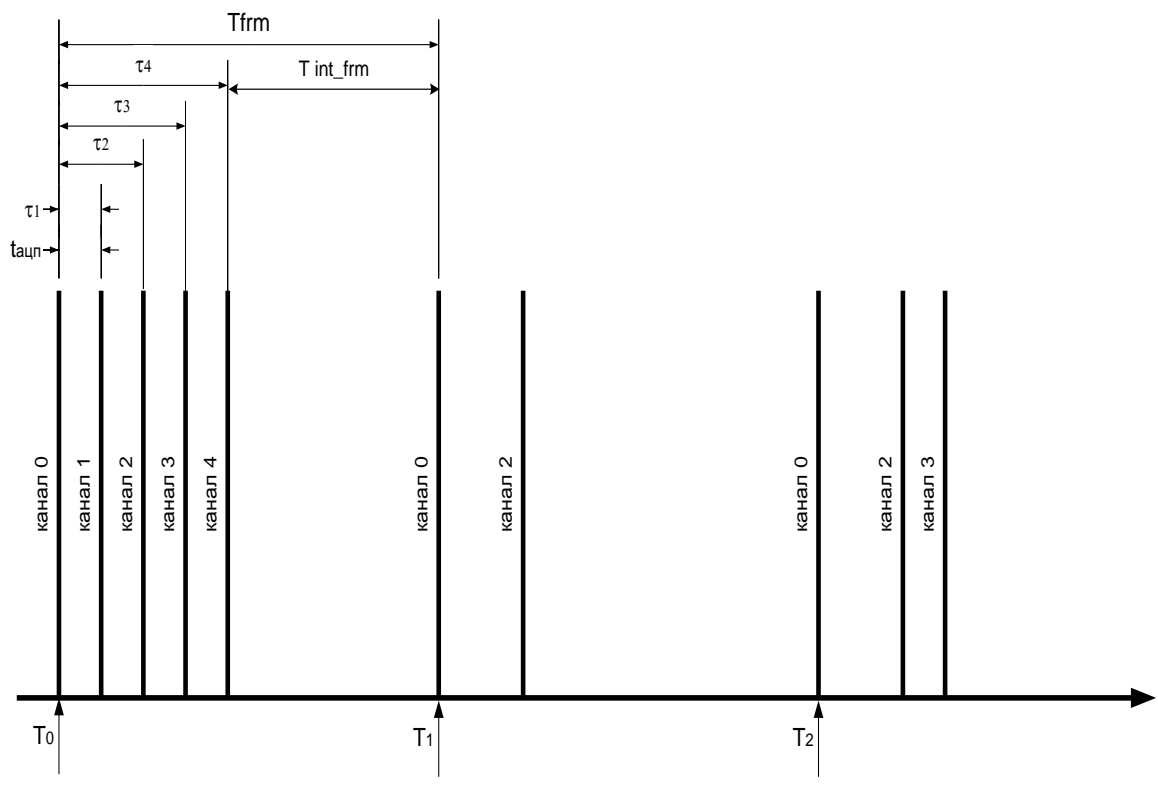


Рис. 7. Кадр отсчетов

$$t_{\text{АЦП}} = (\text{Channel_Time} + 50) / F_q \quad [\text{мкс}]$$

где:

$t_{\text{АЦП}}$ – интервал запуска АЦП или межканальная задержка, определяется значением в ячейке **Channel_Time** (32 бита);

F_q – частота задающего кварцевого генератора.

Минимальное значение $t_{\text{АЦП}}$ определяется техническими характеристиками АЦП и не может быть менее 2.5 мкс.

τ_i – фазовый сдвиг канала i относительно начала опроса:

$$\tau_i = t_{\text{ацп}} * i$$

i – логический номер канала.

$T_{\text{int_frm}}$ – межкадровый интервал. Время от фазового сдвига канала с номером, равным **Control_Table_Length** до начала следующего кадра. Определяется значением в ячейке **Int_Frame_Time** (32 бита).

$$T_{\text{int_frm}} = (\text{Int_Frame_Time} + 50) / F_q \quad [\text{мкс}]$$

F_q – частота задающего кварцевого генератора.

T_{Frm} – временной интервал между соседними кадрами, определяется по формуле:

$$T_{\text{Frm}} = ((\text{Channel_Time} + 50) * (\text{Control_Table_Length} - 1) + (\text{Int_Frame_Time} + 50)) / F_q \quad [\text{мкс}]$$

минимальное значение T_{Frm} определяется техническими характеристиками АЦП и не может быть менее 2.5 мкс.

Таблица 25. Формат регистра межкадрового интервала Int_Frame_Time

Номер бита	Функциональное назначение
31÷0	Значение (0 – 2 ³² -1)

Таблица 26. Формат регистра Channel_Time

Номер бита	Функциональное назначение
31÷0	Значение (0 – 2 ³² -1)

5.3.12. Индивидуальный коэффициент деления частоты канала

Особенностью платы *L-791* является использование коэффициентов деления частоты, индивидуальных для каждого канала.

Таблица 27. Формат поля DIV ячейки таблицы Control_Table

Номер бита	Обозначение	Значение
13÷9	DIV	0–26 допустимые значения, 31–27 зарезервировано

Значение этого коэффициента определяется полем DIV ячейки таблицы Control_Table и равно

$$N = 2^{\text{DIV}}.$$

При этом время кадра отсчета и интервал запуска АЦП остаются неизменными (как определено переменными $T_{\text{int_frm}}$ и $t_{\text{ацп}}$), однако в буфер АЦП будет заноситься каждый N-й отсчет (каждый второй для DIV=1, каждый четвертый для DIV=2 и т.д.). При этом значение циклического счетчика отсчетов (поле CNT ячейки буфера АЦП) будет зависеть от количества отсчетов, реально занесенных в буфер АЦП.

Используя индивидуальный коэффициент деления частоты, можно установить частоту опроса канала равную:

$$f_i = \frac{1}{T_{Frm} * 2^{DIV}} = \frac{F_Q}{((Channel_Time + 50) * (Control_Table_Length - 1) + (Int_Frame_Time + 50)) * 2^{DIV}}$$

где:

f_i – частота опроса АЦП для данного канала;

F_Q – частота опорного генератора на плате L-791 (20 МГц);

Channel_Time – значение ячейки Channel_Time на плате L-791;

Int_Frame_Time – значение ячейки Int_Frame_Time на плате L-791;

Control_Table_Length – значение ячейки Control_Table_Length на плате L-791;

DIV – значение, определяемое битами DIV в логическом номере канала.



Значение поля DIV не должно превышать 26.

Таким образом, при значениях

Control_Table_Length = 5 (используются каналы АЦП 0, 1, 2, 3 и 4),

Channel_Time = 0 ($T_{АЦП} = 2.5$ мкс),

IntFrame_Time = 0 ($T_{Frm} = 12,5$ мкс),

DIV0=0,

DIV1=4,

DIV2=0,

DIV3=1,

DIV4=21.

Получаем частоты опросов каналов:

канал 0 – $f_0 = 80$ кГц,

канал 1 – $f_1 = 5$ кГц,

канал 2 – $f_2 = 80$ кГц,

канал 3 – $f_3 = 40$ кГц,

канал 4 – $f_4 = 0,038$ Гц.

На Рис. 7 приведена работа АЦП для **Control_Table_Length = 5** (используются логические каналы с 0-го по 4-й) и индивидуальных коэффициентов деления:

DIV0=0

DIV1=4

DIV2=0

DIV3=1

DIV4=21.

В момент времени T_0 происходит начальный запуск АЦП в соответствии с выбранным режимом синхронизации (см. п. 5.3.13, в данном примере используется режим внутреннего запуска и непрерывного сбора данных). В момент начального запуска происходит последовательный опрос всех выбранных каналов. По истечении времени T_{Frm} вновь происходит опрос каналов, однако при этом уже учитываются индивидуальные коэффициенты деления DIV_i , в соответствии с этими коэффициентами в момент T_1 опрашиваются только каналы 0 и 2, в момент T_2 – каналы 0, 2 и 3. Опрос канала 1 в следующий раз произойдет только в момент T_{16} , а канала 4 – в момент $T_{2097152}$.

5.3.13. Синхронизация

На плате *L-791* предусмотрены следующие режимы синхронизации:

1. Внутренняя синхронизация (программное управление).
2. Внешняя синхронизация по заднему фронту (переход из 1 в 0) сигнала Sync:
 - a. Запуск непрерывной работы канала АЦП по фронту внешнего сигнала.
 - b. Запуск покадровой работы канала АЦП по фронту внешнего сигнала.

Для реализации всех перечисленных условий вводится управляющее слово Sync_Control:

Регистр Sync_Control находится в регистре управления Control, биты 15-8.

Таблица 28. Формат Sync_Control

Номер бита	Обозначение	Функциональное назначение
9÷8	Sync_Mode	Режим сбора данных: 0x – Внутренняя синхронизация; 10 – Внешняя синхронизация, однократный запуск; 11 – Внешняя синхронизация, покадровый сбор данных

При использовании внутренней синхронизации (Sync_Mode=0x) запуск АЦП происходит, как только в регистр Control платы *L-791* будет записано управляющее слово с битом ADC_En=1 (биты Sync_Mode=00 устанавливаются заранее).

При использовании внешней синхронизации (Sync_Mode=1x) запуск АЦП происходит по изменению состояния внешней линии Sync из 1 в 0. Вход синхронизации Sync расположен в одном разъеме с аналоговыми входами. Для уверенного запуска АЦП необходимо, чтобы сигнал на входе синхронизации сохранял свое значение после изменения не менее 50 нс.

В режиме однократного запуска (Sync_Mode="10") блок АЦП после установки ADC_En=1 будет ожидать перехода из 1 в 0 на входе синхронизации, после чего осуществляется непрерывный сбор данных, пока ADC_En=1.

В режиме покадрового сбора (Sync_Mode="11") блок АЦП после установки ADC_En=1 будет ожидать перехода из 1 в 0 на входе синхронизации, после чего осуществляет сбор кадра в соответствии со значениями регистра Control_Table_Length и затем снова переходит в режим ожидания.

5.4. ЦАП

5.4.1. Регистры, определяющие режимы работы ЦАП

Таблица 29. Регистры ЦАП

Адрес	Переменная	Размер	Назначение	Доступ
400-5FC	DAC_buffer	32	Буфер отсчетов ЦАП (128x32)	w
A00-BFC	DAC_Page_Desc	32	Блок дескрипторов страниц ЦАП (128x32)	w
F84	DAC_PCI_Count	32	Циклический счетчик позиции буфера ЦАП в памяти РС	r
F88	DAC_Time	32	Таймер ЦАП	r/w
F94	DAC_Buf_Adr	8	Текущий адрес записи буфера АЦП	r
FF8	Status	8	Регистр состояния	r/w
FFC	Control	8	Регистр управления	r/w

Данные, поступающие в ЦАП, предварительно загружаются в буфер ЦАП, находящийся на плате *L-791*. Размер буфера 128x32.

Данные в буфер можно загрузить непосредственно, используя область памяти платы *L-791* со смещением 0x400-0x5FC, или они могут подгружаться в буфер автоматически из буфера ЦАП в памяти РС размером 512 Кбайт, используя режим Bus Master шины PCI (бит DAC_Mst_En=1).

В случае автоматической загрузки буфера ЦАП, данные в него поступают из области памяти РС, определяемой дескриптором страниц ЦАП. Формат дескриптора страниц ЦАП аналогичен формату дескриптора страниц АЦП (см. п. 5.3.3). Автоматическая загрузка инициируется после того, как на ЦАП будет выдано 64 отсчета на каждый канал (половина буфера).

Текущее положение указателя буфера ЦАП на плате *L-791* можно проконтролировать, считывая данные из ячейки по адресу DAC_Buf_Adr.

Таблица 30. Формат DAC_Buf_Adr

№ бита	Функциональное назначение	Доступ
6÷0	Текущее положение указателя буфера ЦАП на плате <i>L-791</i>	Только чтение
31÷7	Зарезервировано (всегда 0)	

Текущее положение указателя буфера ЦАП в памяти РС можно проконтролировать, считывая данные из ячейки по адресу DAC_PCI_Count.

Таблица 31. Формат DAC_PCI_Count

№ бита	Функциональное назначение	Доступ
9÷0	Текущее положение указателя буфера РС внутри страницы в словах (одно слово – 4 байта).	Только чтение
16÷10	Номер страницы	
31÷17	Зарезервировано (всегда 0)	

5.4.2. Таймер ЦАП

DAC_Time – регистр, устанавливающий частоту обновления ЦАП.

Таблица 32. Формат регистра DAC_Time

Номер бита	Функциональное назначение
23÷0	Значение (0-16777215)
31÷24	Зарезервировано

$$f_{\text{цап}} = F_q / (\text{DAC_Time} + 1) \text{ [MHz]}$$

F_q – частота синхронизации (20 МГц).

Для частоты F_q 20 МГц минимальное значение $f_{\text{цап}} = 1,192$ Гц.

Максимальное значение $f_{\text{цап}}$ определяется техническими характеристиками ЦАП и равно 125 кГц.

Максимальная частота обновления ЦАП не должна превышать 125 кГц, следовательно, **при частоте синхронизации 20 МГц DAC_Time нельзя устанавливать менее 159-ти**. В противном случае нормальная работа ЦАП не гарантируется.

5.4.3. Данные ЦАП

Таблица 33. Формат слова буфера ЦАП

№ бита	Обозначение	Функциональное назначение
11÷0	DAC_1_Val	12-ти битный код ЦАП канал 1 (см. примечание)
12	DAC_1_Sample_En	Разрешает вывод отсчета на ЦАП
15÷13		Зарезервировано
27÷16	DAC_2_Val	12-ти битный код ЦАП канал 2 (см. примечание)
28	DAC_2_Sample_En	Разрешает вывод отсчета на ЦАП
29		Зарезервировано
30	Stop_DAC	1 – останавливает работу ЦАП, сбрасывает бит DAC_En регистра управления
31	Set_DAC_Usr_Event	1 – устанавливает бит DAC_Usr_Event регистра состояния

Примечание: Для представления отсчетов ЦАП используется дополнительный код. Значение 000 соответствует выходному значению 0В, значение 0x7FF – +5В, 0x800 – -5В.

5.4.4. Калибровочные коэффициенты ЦАП

Схемотехника и использованные компоненты обеспечивают линейность передаточной характеристики ЦАП платы. Однако ввиду отсутствия автоматической коррекции как внутри платы, так и в штатной dll-библиотеке, показания ЦАП могут иметь некоторое смещение нуля и неточность в передаче масштаба. Работа по коррекции показаний возлагается на пользовательское приложение.

Для корректировки показаний ЦАП можно воспользоваться собственными калибровочными коэффициентами и формулами или штатными коэффициентами.

Штатные коэффициенты вычисляются при наладке платы на производстве и хранятся в системном ППЗУ платы.

Подробные инструкции по использованию калибровочных коэффициентов можно найти в «Руководстве программиста» [1].

5.4.5. Управление работой ЦАП

Управление ЦАП осуществляется битами DAC_En, DAC_Mst_En, Clr_DAC_Cnt регистра управления (Control), а также флагами DAC_1_Sample_En, DAC_2_Sample_En, Stop_DAC и Set_DAC_Int, поступающими вместе с отсчетами ЦАП.

При DAC_En = 1 блок ЦАП (см. Рис. 2) считывает данные из буфера ЦАП на плате L-791 и передает их в м/с ЦАП каждый раз, когда счетчик таймера ЦАП досчитает до 0. Текущее значение адреса буфера ЦАП на плате L-791 можно прочитать из ячейки DAC_Buf_Adr. Значение DAC_Val будет выведено в ЦАП, только если установлен в 1 соответствующий бит DAC_Sample_En. В противном случае данный отсчет игнорируется, и сигнал на соответствующем выходе ЦАП не изменяется. Это позволяет индивидуально управлять каждым из каналов ЦАП и, кроме того, прореживать частоту вывода отсчетов ЦАП для каждого канала.

При DAC_Mst_En='1' происходит автоматическое заполнение буфера данными из буфера ЦАП в памяти РС. Обмен данными происходит аналогично обмену данными с буфером АЦП (см. п. 5.3.3). Обмен инициируется при прочтении из буфера ЦАП на плате L-791 64-х слов (1/2 буфера) или при первоначальной установке бита DAC_En в 1.

При DAC_Mst_En='0' можно заполнять буфер ЦАП, непосредственно записывая данные по адресам DAC_Buffer.

При установке бита DAC_En в 0 значения адресов для буфера ЦАП на плате L-791 и буфера ЦАП в памяти РС сохраняют свои значения. Для сброса адресов буферов ЦАП в 0 служит бит Clr_DAC_Cnt регистра управления. Счетчики адресов будут сброшены до тех пор, пока Clr_DAC_Cnt='1'. Для нормальной работы ЦАП необходимо установить Clr_DAC_Cnt в '0'.

Флаги Stop_DAC и Set_DAC_Int воздействуют на плату L-791 в момент, когда отсчеты ЦАП поступают из буфера ЦАП на плате L-791 непосредственно на ЦАП.

Если блок ЦАП считывает из буфера ЦАП на плате L-791 отсчет с установленным в 1 битом Stop_DAC, то этот отсчет передается на ЦАП, а затем бит DAC_En сбрасывается, и работа блока ЦАП останавливается.

Если блок ЦАП считывает из буфера ЦАП на плате L-791 отсчет с установленным в 1 битом Set_DAC_Usr_Event, то этот отсчет передается на ЦАП, а затем устанавливается в 1 бит DAC_Usr_Event регистра состояния (Status). Если в этот момент бит DAC_Usr_Int_En регистра разрешения прерываний (Int_En_Rg) установлен в 1 и бит Int_En регистра разрешения прерываний установлен в 1, то плата L-791 сгенерирует прерывание. Сбросить флаг DAC_Usr_Event в регистре состояния можно, записав в него 1.

Таким образом, с помощью флага Set_DAC_Int можно проинформировать программу пользователя, что в ЦАП поступило определенное количество отсчетов и необходимо подгрузить буфер ЦАП в памяти РС (в случае автоматической загрузки с использованием Bus Master) или буфер ЦАП на плате L-791 (в случае программной загрузки буфера ЦАП на плате L-791). С помощью флага Stop_DAC можно остановить ЦАП в строго определенный момент, когда на ЦАП поступило необходимое количество отсчетов.

5.4.6. Опустошение буфера ЦАП

Плата *L-791* осуществляет автоматический контроль опустошения буфера ЦАП на плате *L-791* в режиме работы Bus Master. Опустошение буфера ЦАП на плате *L-791* может возникнуть, если плата *L-791* длительное время не получает управление и не может переписать данные из буфера ЦАП в памяти РС в буфер ЦАП на плате *L-791*. Об опустошении буфера ЦАП свидетельствует установленный в 1 бит DAC_Unf_Event регистра статуса. Сбросить бит DAC_Unf_Event можно, записав в него 1.

В случае возникновения опустошения буфера ЦАП следует пересмотреть конфигурацию компьютера, установленное на нем программное обеспечение (подробнее см. п. 5.3.7).

5.5. Доступ к EPROM

На плате *L-791* установлена микросхема энергонезависимой памяти (EPROM) AT45DB011 фирмы Atmel. Данные из этой памяти используются для инициализации FPGA Altera в момент включения питания и для хранения пользовательской информации (идентификатор платы, серийный номер, различные коэффициенты и.д.). Размер EPROM на плате *L-791* – 128 Кбайт. При этом младшие 64 Кбайта необходимы для загрузки FPGA, старшие 64 Кбайта могут использоваться для пользовательского ППЗУ. Формат пользовательского ППЗУ определен в п. 5.5.5.

Для обращения к EPROM в FPGA платы *L-791* введен блок доступа к EPROM (см. Рис. 2). Для доступа к EPROM предназначены регистры EPROM_Adr, EPROM_Data, а также биты EPROM_Cmd, EPROM_Start, EPROM_WR_En регистра управления и бит EPROM_Busy слова состояния.

5.5.1. Краткое описание EPROM

Внутри микросхемы EPROM данные организованы в страницы по 264 байта (256+8). Всего таких страниц для данной м/с 512, из них пользователю отведено 256. Запись данных может происходить только постранично. Внутри м/с EPROM имеются буфер для временного хранения данных. Размер буфера равен размеру страницы. Для записи данных в EPROM данные сначала накапливаются в буфере по команде «Запись данных в буфер», а затем копируются из буфера в основную память EPROM по команде «Запись данных из буфера в основную память». Для более подробной информации по устройству м/с AT45DB011 см. Datasheet (www.atmel.com).

Время выполнения записи страницы данных из буфера EPROM в основную память EPROM определяется параметрами м/с и может занимать до 20 мс. Во время выполнения этой операции выполнение других операций с EPROM невозможно. Чтобы определить момент завершения команды «Запись данных из буфера в основную память», вводится команда «читать статус», которая позволяет прочитать регистр статуса EPROM. Данные регистра статуса отображаются в ячейке EPROM_Dat.

Таблица 34. Формат слова статуса EPROM

Но-мер бита	Название	Функциональное назначение
31÷8		Зарезервировано (равно 0)
7	RDY	1 – EPROM готова принять следующую команду 0 – EPROM занята
6	COMP	Не используется при работе EPROM в составе платы <i>L-791</i>
5-3	Идентификатор	”001” для данной м/с EPROM (AT45DB011)
2÷0		Зарезервировано (значение не определено)

Для адресации во время доступа к данным EPROM используется регистр EPROM_Adr.

Таблица 35. Формат регистра EPROM_Adr

Номер бита	Функциональное назначение	Доступ
8÷0	Адрес байта в странице (буфере)	Только запись
16÷9	Адрес страницы пользовательской области EPROM	
31÷18	Зарезервировано	

Замечание: Во время выполнения операции «Запись данных в буфер» биты адреса страницы не используются (игнорируются). Во время выполнения операции «Запись данных из буфера в основную память» биты адреса байта не используются (игнорируются).

Байт данных во время обращения к EPROM находится в ячейке EPROM_Dat.

Таблица 36. Формат регистра EPROM_Dat

Номер бита	Функциональное назначение	Доступ
7÷0	Байт данных	Запись/ чтение
31÷18	Зарезервировано	

5.5.2. Команды EPROM

Для доступа к данным, находящимся в EPROM, используются 4 команды, устанавливаемые с помощью битов 25-24 (EPROM_Cmd) и 26 (EPROM_Start) регистра управления (Control). Биты 25-24 (EPROM_Cmd) запоминаются, и команда запускается на исполнение во время записи в регистр управления, если бит EPROM_Busy регистра состояния равен 0 во время записи команды.

Команда и данные передаются в/из EPROM по последовательному интерфейсу, что может занять значительное время (150 мкс для команды «читать данные»). Во время записи команды в EPROM бит EPROM_Busy регистра состояния равен 1. Запись новой команды в регистр управления в этот момент невозможна.

Для доступа к EPROM реализованы следующие команды.

Таблица 37. Команды EPROM_Cmd

Код	Команда	Описание
00	Читать регистр состояния EPROM	После выполнения команды (EPROM_Busy=0) в ячейке EPROM_Dat находится значение регистра состояния EPROM
01	Ччитать данные EPROM	После выполнения команды (EPROM_Busy=0) в ячейке EPROM_Dat находится значение байта памяти EPROM по адресу EPROM_Adr
10	Записать данные в буфер EPROM	Байт данных из регистра EPROM_Dat записывается в буфер EPROM по адресу, определяемому битами «Адрес байта» в регистре EPROM_Adr
11	Записать страницу данных из буфера EPROM в память EPROM	Страница данных из буфера EPROM записывается в память EPROM по адресу, определяемому битами «Адрес страницы» в регистре EPROM_Adr

5.5.3. Чтение данных из EPROM

Чтение данных из EPROM осуществляется побайтно по следующему алгоритму:

1. Чтение бита **EPROM_Busy** регистра состояния.
1 – выполняется предыдущая команда, переход к 1.
0 – готовность принять следующую команду, переход к 2.
2. Запись адреса EPROM в регистр **EPROM_Adr**.
3. Запись команды «читать данные EPROM» в регистр управления.
EPROM_Cmd="01".
4. **EPROM_Start='1'**.
5. Опрос бита **EPROM_Busy** регистра состояния.
1 – данные не готовы, переход к 5.
0 – данные из EPROM считаны, переход к 5.
6. Чтение данных из ячейки **EPROM_Dat**.

5.5.4. Запись данных в EPROM

Запись данных в EPROM может происходить при изменении пользовательской информации (изменение корректирующих коэффициентов при рекалибровке и т.д.). В любом случае необходимо быть крайне внимательным при изменении данных в EPROM, неправильная запись данных в EPROM может привести к неверной работе платы L-791. Для дополнительной блокировки записи в EPROM служит бит **EPROM_WR_En** слова управления. Выполнение команды «записать страницу данных из буфера EPROM в память EPROM» возможно, только когда этот бит установлен в 1.

Запись данных в EPROM осуществляется по следующему алгоритму:

1. Чтение бита **EPROM_Busy** регистра состояния.
 - 1 – выполняется предыдущая команда, переход к 1.
 - 0 – готовность принять следующую команду, переход к 2.
2. Запись страницы данных в буфер EPROM:
 - 2.1. Запись адреса байта в регистр **EPROM_Adr**.
 - 2.2. Запись байта данных в регистр **EPROM_Dat**.
 - 2.3. Запись команды «записать данные в буфер EPROM» в регистр управления.
EPROM_Cmd="10".
 - 2.4. **Set_EEPROM_Cmd='1'**.
 - 2.5. Опрос бита **EPROM_Busy** регистра состояния.
 - 1 – данные не готовы, переход к 2.5.
 - 0 – данные в EPROM записаны, переход к 2.6.
 - 2.6. Записана вся страница.
 - Да – переход к 3.
 - Нет – переход к 2.1.
3. Запись страницы данных из буфера EPROM в память EPROM.
 - 3.1. Запись команды «записать страницу данных из буфера EPROM в память EPROM» в регистр управления.
EPROM_Cmd="11".
 - 3.2. **Set_EEPROM_Cmd='1'**.
 - 3.3. Опрос бита **EPROM_Busy** регистра состояния.
 - 1 – данные не готовы, переход к 3.3.
 - 0 – команда принята EPROM на исполнение, переход к 4.
4. Ожидание выполнения команды «записать страницу данных из буфера EPROM в память EPROM».
 - 4.1. Запись команды «читать регистр состояния EPROM» в регистр управления.
EPROM_Cmd="00".
 - 4.2. **Set_EEPROM_Cmd='1'**.
 - 4.3. Опрос бита **EPROM_Busy** регистра состояния.
 - 1 – данные не готовы, переход к 4.3.
 - 0 – команда принята EPROM на исполнение, переход к 4.4.
 - 4.4. Чтение регистра **EPROM_Dat**.
 - Бит 7 (RDY) = 0 команда «записать страницу данных» выполняется, переход к 4.1.
 - Бит 7 (RDY) = 1 команда «записать страницу данных» выполнена, конец алгоритма.

5.5.5. Формат пользовательской части EPROM

Формат пользовательской части EPROM (номер и тип платы, расположение и формат калибровочных коэффициентов и т. д.) подробно описан в «Руководстве программиста» [1].

5.6. Цифровой канал ввода/вывода

5.6.1. Асинхронный ввод/вывод

Асинхронный ввод/вывод цифровых данных реализуется с помощью одной ячейки **DIG_IO**, при этом используются только младшие 16 бит (при чтении в старших битах '0').

Таблица 38. Формат регистра **DIG_IO**

№ бита	Функциональное назначение
15÷0	При чтении принимает значение линий DI15-DI0 соответственно. При записи защелкивает данные на линиях DO15-DO0 соответственно.
31÷16	Зарезервировано

Момент изменения данных на линиях DO15-DO0 наступает через 4÷12,8 мкс с момента цикла записи на шине PCI.

Задержка данных при чтении линий DI15÷DI0 от защелкивания во внутреннем регистре платы **L-791** до выдачи данных на шину PCI составляет от 4,5 до 10 мкс.

Бит DO_En регистра управления и джампер J1 на плате **L-791** управляют состоянием выходов DO15-DO0. Если джампер установлен в положение 1-2, то разрешается программное управление при помощи бита DO_En регистра управления. Если джампер установлен в положение 2-3, то на выходах DO15-DO0 всегда будет присутствовать значение, записанное в регистр **DIG_IO** или 0x0000 после включения питания. Если выводы джампера не замкнуты, выходы DO15-DO0 всегда будут находиться в 'Z' состоянии. Если разрешено программное управление, то при DO_En=0 все выходы находятся в 'Z' состоянии, а при DO_En=1 – на выводах DO15-DO0 – соответствующие данные (см. п. 2.4).

5.6.2. Синхронный ввод данных

Существует возможность синхронно считывать значения входов DI15-DI0 вместе со сбором данных АЦП. При этом данные канала цифрового ввода записываются в буфер АЦП вместе с отсчетами АЦП. Для этого необходимо включить в таблицу Control_Table канал с логическим номером MA=0x18–0x1F. По этому каналу в буфер АЦП будут заноситься данные, снимаемые со входов DI15-DI0. Значение поля GS канала в этом роли не играет. Поле DIV номера канала действует, как описано выше (см. п. 5.3.12). В этом случае ввод цифровых данных оказывается привязан к кадру отсчетов (см. п. 5.3.11).

Пример: Воспользовавшись Рис. 7 и примером в конце параграфа 5.3.11, можем предположить, что логический канал 2 связан с цифровым входом (MA=0x18). Индивидуальный коэффициент деления частоты для логического канала 2 равен 1. В этом случае в каждом кадре будут регистрироваться цифровые данные со входов DI15÷DI0. Защелкивание данных с этих линий на внутренний регистр платы **L-791** будет происходить с частотой 80 кГц в моменты времени:

$$T_i + 5 \text{ мкс},$$

где T_i – начало i кадра.

Такая особенность позволяет снимать цифровые данные синхронно с данными, принимаемыми от АЦП, и организовать, например, временные метки, разграничивающие аналоговые данные или опрос цифровых линий в строго определенные моменты. Кроме того, скорость сбора цифровых данных, поступающих в PC вместе с кадром отсчета, выше, чем скорость циклического чтения регистра **DIG_IO**, поскольку в первом случае данные передаются в PC с использованием PCI Bus Master.

Замечание: Если период кадра $T_{\text{Frame}} \geq 10$ мкс, то обновление данных в регистре DIG_IO будет происходить чаще, чем фиксироваться в момент записи цифровых данных в кадр.

5.7. Источник питания гальваноразвязанной части L-791

Для питания гальваноразвязанной части *L-791* на плате введен вторичный стабилизированный источник питания (не показан на Рис. 2). Кроме того, напряжение с этого источника питания подается на разъем Digital I/O и может использоваться для питания внешних устройств. Характеристики источника питания можно посмотреть в п. 4.5. Источник питания на плате *L-791* автоматически защищен от перегрузок.

5.8. Прерывания

Все биты событий в регистре состояния (биты **ADC_Mst_Event**, **ADC_Ovf_Event**, **ADC_Buf_Event**, **DAC_Usr_Event**, **DAC_Ufl_Event**, см. Таблица 10) могут вызывать прерывание от платы *L-791*.

Для управления прерываниями вводятся регистр разрешения прерываний. Формат регистра – см. Таблица 11.

Бит 31 (**INT_En**) регистра разрешения прерываний служит для общего разрешения прерываний. Чтобы разрешить прерывания от *L-791*, необходимо установить этот бит в 1.

Прерывание возникает, если установлен один из битов **ADC_Mst_Event**, **ADC_Ovf_Event**, **ADC_Buf_Event**, **DAC_Usr_Event**, **DAC_Ufl_Event** регистра состояния и, кроме того, установлены в 1 соответствующие биты в регистре разрешения прерываний.

В этом случае выставляется 1 в бите **Int** регистра состояния, и линия **INTA** шины **PCI** переводится в низкий уровень. После получения управления обработчиком прерываний источник прерываний необходимо сбросить, для чего необходимо записать 1 в соответствующий бит **ADC_Mst_Event**, **ADC_Ovf_Event**, **ADC_Buf_Event**, **DAC_Usr_Event**, **DAC_Ufl_Event** регистра состояний или запретить прерывания от выбранного источника сбросом в 0 соответствующего бита разрешения прерывания или сбросом в 0 бита **Int_En** регистра разрешения прерываний.

6. Приложение А. Спецификации

Данное приложение представляет собой перечень характеристик платы *L-791*, приводимых при температуре 20°C и нормальном атмосферном давлении; прочие условия внешней среды оговариваются особо. Если плата *L-791* находится в предельных климатических условиях, то перед включением её необходимо выдержать в нормальных условиях не менее 3-х часов.

Для обеспечения заявленных точностных характеристик измерительная система должна быть прогрета в течение 15 мин.

При работе с *L-791* необходимо выполнять общие правила работы с электрическими приборами.

В приводимых ниже спецификациях указаны основные параметры *L-791* по назначению для рабочего режима работы. Предельные характеристики платы *L-791*, а также дополнительные характеристики сигнальных линий приводятся в главе 4.4.

6.1. Аналого-цифровой преобразователь (АЦП)

На плату установлен один АЦП, на вход которого при помощи коммутаторов может быть подан сигнал с одного из 16 или 32 аналоговых каналов с внешнего разъема.

Таблица 39. Характеристики АЦП

Тип платы	L-791	
Количество каналов	16 дифференциальных или 32 с общей землей	
Разрядность АЦП Разрядность, рассчитанная по отношению сигнал/(шум на заземленном входе) при частоте АЦП 400 кГц	Поддиапазон (В)	Разрядность (бит)
	±10	13,8
	±5	13,8
	±2,5	13,8
	±1,25	13,8
	±0,625	13,5
	±0,3125	13,5
	±0,156	13
	±0,078	13
Время преобразования	2,5мкс	
Входное сопротивление при одноканальном вводе	Более 10 мОм	

Диапазон входного сигнала	$\pm 10\text{В}$, $\pm 5\text{В}$, $\pm 2,5\text{В}$, $\pm 1,25\text{В}$, $\pm 0,625\text{В}$, $\pm 0,3125\text{В}$, $\pm 0,156\text{В}$ $\pm 0,078\text{В}$
Максимальная частота преобразования АЦП	400 кГц
Защита входов	См. пп. 4.4.1, 4.4.2
Интегральная нелинейность преобразования	Макс. $\pm 1,5$ МЗР
Дифференциальная нелинейность преобразования	Макс. -1 до +1,5 МЗР
Отсутствие пропуска кодов	Гарантировано 14 бит

6.2. Цифроаналоговый преобразователь (ЦАП)

На плату может быть установлена микросхема двухканального 12-ти битного ЦАП.

Таблица 40. Характеристики ЦАП

Количество каналов	2
Разрядность	12 бит
Максимальная частота преобразования	125 кГц
Время установления	8 мкс
Выходной диапазон	± 5 В

6.3. Цифровые входы и выходы

На плате имеются цифровые входные и выходные линии ТТЛ уровня, которые могут быть использованы для управления внешними устройствами и т.д.

Таблица 41. Характеристики канала цифрового ввода/вывода

Входной порт	16 бит КМОП, серия НСТ
Выходной порт	16 бит КМОП, серия НСТ
Напряжение низкого уровня	Мин. -0,2 В, макс +0,4 В
Напряжение высокого уровня	Мин. +2,4 В, макс +5,2 В
Входной ток	10 μ А
Спектральные характеристики выходного сигнала ЦАП	Не нормированы

6.4. Выходы питания

См. п. 4.5.

6.5. Характеристики гальваноразвязки

Напряжение гальваноразвязки	500 В
Максимальная скорость нарастания напряжения между гальваноразвязанными цепями общего провода	Не более 20 кВ/мкс

6.6. Условия окружающей среды

Плата L-791 предназначена для использования в условиях закрытых помещений в соответствии с требованиями ГОСТ 22261 (группа 1). Плата (в составе РС) может располагаться в любом помещении либо полевых условиях (при условии того, что изделие не подвергается резким ударам и воздействию атмосферных осадков), обеспечивающих рабочие условия применения. Плата не должна располагаться вблизи источников сильных электромагнитных помех, а также в помещениях, насыщенных взрывоопасными и едкими химическими соединениями.

Таблица 42. Условия окружающей среды

	Температура окружающего воздуха	Относительная влажность воздуха	Атмосферное давление	Прочие
Нормальные условия	+20 ± 5 °С	30 ... 80%	630...800 мм рт. ст.	
Рабочие условия	+5...+40 °С	До 90% при температуре +25 °С		
Условия хранения	+5...+40 °С	До 80% при температуре +25 °С без конденсации влаги		Отсутствие в воздухе пыли, паров кислот, щелочей, а также газов, вызывающих коррозию
Условия транспортировки	-20...+60 °С	Не более 95% при температуре +25 °С		Все виды транспорта при условии защиты от прямого попадания атмосферных осадков

7. Литература

- [1]. Чаузов П. С. "LComp. Руководство программиста". - Поставляется в электронном виде при установке библиотеки Lcomp, <http://www.lcard.ru/download/lcomp.exe>
- [2]. Гарманов А. В. *Решение вопросов электросовместимости и помехозащиты при подключении измерительных приборов на примере продукции фирмы L-Card.* - М.: L-Card, 2002
- [3]. Гарманов А.В. *Практика оптимизации соотношения сигнал/помеха при подключении АЦП в реальных условиях* - М.: L-Card, 2010
- [4]. PCI Local Bus Specification. - Rev. 2.1

8. Оглавление

1. Общее знакомство	3
1.1. Соглашения, принятые в руководстве	3
1.2. Назначение устройства	3
1.3. Комплектация изделия	4
1.3.1. Базовый комплект.....	4
1.3.2. Опциональное и дополнительное оборудование	4
1.4. Штатное программное обеспечение	5
1.5. Дополнительное программное обеспечение	5
2. Инсталляция и настройка	7
2.1. Требования к РС.....	7
2.2. Порядок установки платы в компьютер и первого включения	7
2.3. Повторное включение компьютера	7
2.4. Конфигурация устройства	8
2.5. Установка программного обеспечения.....	9
2.6. Обновление прошивки FPGA	9
3. Описание аппаратной части	10
3.1. Основные отличия от серии L78x.....	11
3.2. Идентификация платы L-791 на шине PCI.....	11
3.3. Принцип работы	13
3.3.1. PCI контроллер.....	13
3.3.2. Блок формирования кадра АЦП	13
3.3.3. Блок сбора данных АЦП	14
3.3.4. Блок ЦАП.....	14
3.3.5. Блок Bus Master	15
3.3.6. Блок прерываний	15

3.3.7. Блок доступа к EPROM.....	15
4. Подключение сигналов	16
4.1. Общие сведения.....	16
4.2. О правильном использовании цепей GND и AGND	16
4.3. Внешние разъемы.....	17
4.3.1. Разъем "ANALOG I/O". Тип разъема DRB-37M.	17
4.3.2. Разъем "DIGITAL I/O"	19
4.4. Характеристики входов и выходов сигнальных линий	20
4.4.1. Рабочий режим	21
4.4.2. Отключенный режим.....	22
4.5. Характеристики выходов внешнего питания	22
4.6. Схемы подключения входных аналоговых сигналов	23
5. Низкоуровневое описание	25
5.1. Распределение памяти платы L-791	25
5.2. Регистры	27
5.3. АЦП.....	32
5.3.1. Регистры, определяющие режимы работы АЦП.....	32
5.3.2. Краткое описание блока АЦП платы L-791	33
5.3.3. Работа в режиме PCI Bus Master	34
5.3.4. Блок дескрипторов страниц	34
5.3.5. Счетчик слов, записанных в буфер АЦП на плате L-791	36
5.3.6. Счетчик слов, записанных в буфер АЦП в памяти РС	37
5.3.7. Переполнение буфера АЦП	38
5.3.8. Логический номер канала АЦП.....	38
5.3.9. Формат данных буфера АЦП	40
5.3.10. Корректировка данных АЦП	42
5.3.11. Формат кадра отсчетов	43
5.3.12. Индивидуальный коэффициент деления частоты канала	44
5.3.13. Синхронизация	47
5.4. ЦАП.....	48
5.4.1. Регистры, определяющие режимы работы ЦАП.....	48
5.4.2. Таймер ЦАП	49
5.4.3. Данные ЦАП	50
5.4.4. Калибровочные коэффициенты ЦАП	50
5.4.5. Управление работой ЦАП	51
5.4.6. Опустошение буфера ЦАП.....	52

5.5. Доступ к EPROM	53
5.5.1. Краткое описание EPROM	53
5.5.2. Команды EPROM	54
5.5.3. Чтение данных из EPROM	55
5.5.4. Запись данных в EPROM.....	56
5.5.5. Формат пользовательской части EPROM.....	57
5.6. Цифровой канал ввода/вывода	58
5.6.1. Асинхронный ввод/вывод	58
5.6.2. Синхронный ввод данных	58
5.7. Источник питания гальваноразвязанной части L-791	59
5.8. Прерывания.....	59
6. Приложение А. Спецификации.....	60
6.1. Аналого-цифровой преобразователь (АЦП)	60
6.2. Цифроаналоговый преобразователь (ЦАП).....	62
6.3. Цифровые входы и выходы.....	62
6.4. Выходы питания	62
6.5. Характеристики гальваноразвязки.....	63
6.6. Условия окружающей среды.....	63
7. Литература.....	64
8. Оглавление	64